

Docket No.: 67161-112

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yasunobu NAKASE	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 02, 2003	:	Examiner: Unknown
For:	:	
SEMICONDUCTOR MEMORY DEVICE HAVING POTENTIAL AMPLITUDE OF GLOBAL BIT LINE PAIR RESTRICTED TO PARTIAL SWING		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

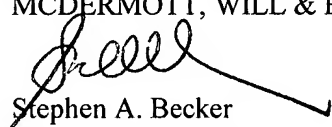
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-002366, filed January 8, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: October 2, 2003

07101-112
NAKASE
October 2, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月 8日

出 願 番 号
Application Number:

特願2003-002366

[ST.10/C]:

[JP 2003-002366]

出 願 人
Applicant(s):

三菱電機株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3005652

【書類名】 特許願

【整理番号】 541592JP01

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/419
H01L 21/8244
H01L 27/11

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

【氏名】 中瀬 泰伸

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 将行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルからデータを読み出すために、階層的に構成されるセンスアンプ群と、

下層のセンスアンプと上層のセンスアンプとを接続する相補信号線群と、

相補信号線間の電位差が電源電圧に到達する前に、当該相補信号線に接続される下層のセンスアンプによる当該相補信号線の駆動を停止させるとともに、当該相補信号線に接続される上層のセンスアンプを活性化させる制御回路とを備えた半導体記憶装置。

【請求項 2】 メモリセルにデータを書込むために、階層的に構成される書込みドライバ群をさらに含み、

下層の書込みドライバと上層の書込みドライバとは、前記相補信号線および書込み指示信号線により接続され、

上層の書込みドライバは、活性化時に、下層の相補信号線に書込みデータとその反転データを出力するとともに、下層の書込み指示信号線を所定の論理値で駆動し、

下層の書込みドライバは、上層の書込み指示信号線が前記所定の論理値のときに、活性化される、請求項 1 記載の半導体記憶装置。

【請求項 3】 メモリセルにデータを書込むために、階層的に構成される書込みドライバ群をさらに含み、

下層の書込みドライバと上層の書込みドライバとは、前記相補信号線により接続され、

上層書込みドライバは、活性化時に、下層の相補信号線の一方の信号線に書込みデータ出力するとともに、前記他方の信号線が読出し時に変動する範囲以外の所定の電位で、他方の信号線を駆動し、

下層の書込みドライバは、上層の相補信号線の前記他方の信号線が前記所定の電位のときに、活性化される、請求項 1 記載の半導体記憶装置。

【請求項 4】 前記下層の書込みドライバは、前記他方の信号線と接続され

る論理素子を含み、

前記論理素子は、前記他方の信号線の電位が、読出し時に変動する範囲のときに、第 1 の論理値を出力し、前記範囲以外のときに、第 2 の論理値を出力する、請求項 3 記載の半導体記憶装置。

【請求項 5】 前記センスアンプ群に含まれる、所定のセンスアンプは、上層の相補信号線と、下層の相補信号線との間に設けられたトランスミッションゲートを有し、

データの書込み時に、前記トランスミッションゲートが導通される、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記センスアンプ群に含まれる、所定のセンスアンプは、上層の相補信号線の電位を取込む回路と、前記回路と下層の相補信号線との間に設けられた N チャネル MOS トランジスタとを有し、

データの書込み時に、前記 N チャネル MOS トランジスタが導通される、請求項 1 記載の半導体記憶装置。

【請求項 7】 データの書込み時に、所定の相補信号線は、電源電圧よりも小さい振幅で駆動され、

前記所定の相補信号線と接続された下層のセンスアンプは、

前記所定の相補信号線の電位を増幅する増幅回路と、

前記増幅回路と前記所定の相補信号線との間に設けられた P チャネル MOS トランジスタとを含み、

データの書込み時に、前記 P チャネル MOS トランジスタが導通されて、前記所定の相補信号線の電位が前記増幅回路に取込まれ、前記取込み後、前記 P チャネル MOS トランジスタが非導通にされるとともに、前記増幅回路で前記取込んだ電位が電源電圧の論理振幅で増幅され、前記増幅された電位に基づき、前記センスアンプの下層の相補信号線が駆動される、請求項 2 記載の半導体記憶装置。

【請求項 8】 前記センスアンプ群のうち、所定のセンスアンプは、

下層の相補信号線と接続された増幅回路と、

前記増幅回路と接続されるとともに、上層の相補信号線と接続されたラッチ回

路とを含み、

前記増幅回路は、第 1 のクロックに基づくタイミングで、下層の相補信号線の電位を取込み、当該取込んだ電位の増幅を行ない、当該増幅された電位を前記ラッチ回路へ出力し、

前記ラッチ回路は、第 1 のクロックとは異なる第 2 のクロックに基づくタイミングで、ラッチしている前記増幅された電位で前記上層の相補信号線を駆動する、請求項 1 記載の半導体記憶装置。

【請求項 9】 前記所定のセンスアンプの上層の相補信号線は、前記第 2 のクロックに基づくタイミングでプリチャージされ、

前記所定のセンスアンプの上層のセンスアンプは、前記第 2 クロックに基づくタイミングで活性化される、請求項 8 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、スタティック・ランダム・アクセス・メモリ（以下、SRAM）における低消費電力技術に関する。

【0002】

【従来の技術】

近年、電子機器の低消費電力化に伴って、電子機器内部の半導体記憶装置の低消費電力化が重要な課題となっている。

【0003】

半導体記憶装置の低消費電力化を部分的に達成する方法の一つとして、たとえば、特許文献 1 では、ビット線対とセンスアンプとの間に第 1 のトランスファゲートを設けることにより、ビット線対を第 1 のトランスファゲートと分離してビット線対の電位がフルスイングするのを防止している。

【0004】

【特許文献 1】

特開平 7 - 1 6 1 1 9 2 号公報

【0005】

【発明が解決しようとする課題】

しかしながら、メモリセルアレイを複数のブロックに分割した S R A M においては、上述のように、ビット線の電位振幅をパーシャルスイングに制限したとしても、ブロック間を接続するグローバルビット線は、フルスイングしたままである。特に、出力端子数が多いときには、消費電力が相当に大きくなる。

【0 0 0 6】

そこで、本発明は、グローバルビット線において電位振幅をパーシャルスイングに制限した半導体記憶装置を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

上記課題を解決するために、この発明に係わる半導体記憶装置は、メモリセルからデータを読み出すために、階層的に構成されるセンスアンプ群と、下層のセンスアンプと上層のセンスアンプとを接続する相補信号線群と、相補信号線間の電位差が電源電圧に到達する前に、当該相補信号線に接続される下層のセンスアンプによる当該相補信号線の駆動を停止させるとともに、当該相補信号線に接続される上層のセンスアンプを活性化させる制御回路とを備える。

【0 0 0 8】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【0 0 0 9】

＜第 1 の実施形態＞

本実施の形態は、グローバルビット線において電位振幅をパーシャルスイングに制限した半導体記憶装置に関する。

【0 0 1 0】

（全体の構成）

図 1 は、本発明の第 1 の実施の形態に係る S R A M の主要部分の構成を示す図である。図 1 を参照して、この S R A M では、メモリセルアレイ M A は、ビット線方向に複数のブロックに分割されている。メモリセルアレイ M A を分割することによって、選択されたビット線対に接続されるメモリセル M の数を削減して、

ビット線対の寄生容量を減らし、消費電力を削減している。

【 0 0 1 1 】

各ブロックには、それぞれ異なる n 本のロウアドレス信号が与えられる。つまり、第 0 ブロックには、 $X<0>\sim X<n-1>$ のロウアドレス信号が与えられ、第 1 ブロックには、 $X<n>\sim X<2n-1>$ のロウアドレス信号が与えられる。図 1 では、第 0 ブロックについて、その回路構成を示しているが、その他のブロックの回路構成も同様である。

【 0 0 1 2 】

ワード線ドライバ $G10$ 、 $G11$ は、それぞれワード線 $WD<0>$ 、 $WD<n-1>$ を駆動する。ワード線ドライバは、各ワード線に対応して設けられており、図 1 では、ワード線ドライバ $G10$ と $G11$ のみを代表して示されている。

【 0 0 1 3 】

各ワード線には、 m 個のメモリセル M が接続される。

各ブロックにおいて、 m 個のローカルビット線対 $BT<0>$ 、 $BTC<0>$ 、 \dots $BT<m-1>$ 、 $BTC<m-1>$ が設けられている。各メモリセル M は、いずれかのビット線対に接続される。

【 0 0 1 4 】

各ブロックに共通に、カラムアドレス $Y<0>\sim Y<m-1>$ が与えられる。

いずれか一つのカラムアドレスが「H」レベルに設定されることによって、1 つのビット線対が選択される。選択されたビット線対は、トランSMissionゲート $T10\sim T13$ を介してローカルデータ線対 $DATA$ 、 $DATAC$ に接続される。

【 0 0 1 5 】

ダミーカラム DC は、ローカルセンスアンプ $SA1<0>$ の活性化信号であるローカルセンスイネーブル信号 $SE<0>$ を生成する。

【 0 0 1 6 】

グローバルダミーカラム HDC は、グローバルワード線 $HWD<0>$ 、 $HWD<1>\dots$ の活性化を制御するとともに、グローバルセンスアンプ HSA の活性化を制御するグローバルセンスイネーブル信号 HSE を生成する。

【 0 0 1 7 】

(ローカルセンスアンプ S A 1 の構成)

図 2 は、本実施の形態に係るローカルセンスアンプ S A 1 < 0 > の構成を示す。ローカルセンスアンプ S A 1 < 0 > は、0 番目のブロックに対応して設けられたローカルセンスアンプである。すべてのローカルセンスアンプ S A 1 < 0 >、S A 1 < 1 > … を総称するときには、ローカルセンスアンプ S A 1 と記すことにする。ローカルビット線対、グローバルワード線についても、同様に、総称するときには、それぞれ、ローカルビット線対 B T、B T C、グローバルワード線 H W D と記すことにする。

【 0 0 1 8 】

ローカルセンスアンプ S A 1 < 0 > の入力端子は、ローカルデータ線対 D A T A、D A T A C に接続される。ローカルセンスアンプ S A 1 < 0 > の出力端子は、グローバルビット線対 H B T、H B T C に接続される。

【 0 0 1 9 】

ローカルセンスイネーブル信号 S E < 0 > が「L」レベルのときには、PチャネルMOSトランジスタ P 2 0 および P 2 1 は、導通する。これによって、データ保持ノード D 2 0 に、ローカルデータ線 D A T A の電位が設定され、データ保持ノード D 2 1 にローカルデータ線 D A T A C の電位が設定される。

【 0 0 2 0 】

ローカルセンスイネーブル信号 S E < 0 > が「H」レベルになると、NチャネルMOSトランジスタ N 2 0 が導通する。これによって、データ保持ノード D 2 0 および D 2 1 の電位は、一方が V D D に、他方が G N D になるように増幅が行なわれる。

【 0 0 2 1 】

グローバルワード線 H W D < 0 > が「H」レベルになると、NチャネルMOSトランジスタ N 2 1 および N 2 2 が導通する。これによって、データ保持ノード D 2 0 の電位がグローバルビット線 H B T に駆動され、データ保持ノード D 2 1 の電位がグローバルビット線 H B T C に駆動される。このように、ローカルセンスアンプ S A 1 < 0 > は、ローカルデータ線対 D A T A、D A T A C の電位を増

幅するセンスアンプとして動作するとともに、保持したデータに応じた電位をグローバルビット線対HBT，HBTCに出力するというメモリセルとしての動作も行なう。

【0022】

グローバルワード線HWD<0>が「L」レベルになると、NチャネルMOSトランジスタN21およびN22が非導通になる。これによって、データ保持ノードD20の電位によるグローバルビット線HBTの駆動は停止し、データ保持ノードD21の電位によるグローバルビット線HBTCの駆動は停止する。

【0023】

（グローバルセンスアンプHSAの構成）

図3は、本実施の形態に係るグローバルセンスアンプHSAの構成を示す。同図を参照して、グローバルビット線HBT，HBTC間に十分な電位差が生じた後に、グローバルダミーカラムHDCからのグローバルセンスイネーブル信号HSEが「H」レベルに設定される。これにより、NチャネルMOSトランジスタN30は、導通し、PチャネルMOSトランジスタP30およびP31は、非導通になるので、データ保持ノードD30およびD31のいずれか一方の電位は、VDDに、他方の電位は、GNDとなる。

【0024】

次のクロックCLKの立ち上がりとともに、グローバルセンスイネーブル信号HSEは「L」レベルとなるが、データ保持ノードD30およびD31の電位は、2つのNANDゲートG30およびG31で構成されるラッチ回路で保持される。

【0025】

（読出し動作）

次に、図4に示すタイミングチャートを参照して、データの読出し動作について説明する。

【0026】

まず、クロックCLKが「L」レベルの期間、およびクロックCLKを遅延回路DLYで所定時間遅延させたクロックCLK1が「L」レベルの期間に、以下

のようにして、プリチャージ処理が行なわれる。

【0027】

すべてのローカルビット線対BT, BTCは、クロックCLKが「L」レベルのときに、「H」レベルに設定される。

【0028】

ダミーカラムDCでは、クロックCLKが「L」レベルのときに、PチャネルMOSトランジスタP10が導通し、それによって、ダミービット線DBTが「H」レベルに設定される。このダミービット線DBTの電位「H」レベルがインバータG14により反転されて、ローカルセンスイネーブル信号SE<0>が「L」レベルに設定される。

【0029】

また、グローバルダミーカラムHDCでは、クロックCLK1が「L」レベルのときに、PチャネルMOSトランジスタP13が導通する。これにより、グローバルダミービット線HDBTは、「H」レベルに設定される。このグローバルダミービット線HDBTの電位「H」レベルがインバータG18により反転されて、グローバルセンスイネーブル信号HSEが「L」レベルに設定される。

【0030】

また、クロックCLK1が「L」レベルのときに、PチャネルMOSトランジスタP11およびP12が導通する。これによって、グローバルビット線対HBT, HBTCは、「H」レベルに設定される。

【0031】

また、ローカルセンスアンプSA1<0>では、ローカルセンスイネーブル信号SE<0>が「L」レベルのときには、PチャネルMOSトランジスタP20およびP21が導通し、NチャネルMOSトランジスタN20が非導通になる。これにより、ローカルデータ線DATAの電位がラッチ&増幅回路LAT20のデータ保持ノードD20に供給され、ローカルデータ線DATACの電位がラッチ&増幅回路LAT20のデータ保持ノードD21に供給される。

【0032】

また、グローバルセンスアンプHSAでは、グローバルセンスイネーブル信号

HSEが「L」レベルのときには、PチャネルMOSトランジスタP30およびP31が導通し、NチャネルMOSトランジスタN30が非導通になる。PチャネルMOSトランジスタP30およびP31が導通すると、グローバルビット線対HBT、HBTCの電位は、データ保持ノードD30、D31に転送される。

【0033】

次に、時刻 t_0 において、クロックCLKが「H」レベルに立ち上がると、読出し処理が開始される。

【0034】

すなわち、クロックCLKの立ち上り（図4の（1）に示す。）に同期して、外部アドレスが有効となり、アドレスデコードに必要な時間が経過した後、すべてのブロックを通して1個のメモリセルMが選択される。以下では、第0ブロックの、ロウアドレス信号 $X<0>$ およびカラムアドレス信号 $Y<0>$ で特定されるメモリセルMが選択される場合について説明する。

【0035】

ロウアドレス $X<0>$ が「H」レベルになると、ワード線ドライバG10によって、時刻 t_1 に、ワード線 $WD<0>$ が「H」レベルに設定される（図4の（2）に示す。）。これによって、ワード線 $WD<0>$ に接続されるすべてのメモリセルMのデータが、それぞれが接続されているビット線対に出力される。これによって、各メモリセルに接続されるビット線対のうち、一方のビット線の電位がVDDよりも低くなる。

【0036】

次に、ブロック選択信号 $BS<0>$ が「H」レベルおよびカラム選択信号が「H」レベルとなるので、ローカルビット線対 $BT<0>$ 、 $BTC<0>$ の電位がローカルデータ線対DATA、DATACに転送される。

【0037】

一方、ダミーカラムDCでは、ワード線 $WD<0>$ が「H」レベルになると、NチャネルMOSトランジスタN10が導通し、それによって、ダミービット線DBTが「L」レベルに設定される。このNチャネルMOSトランジスタN10の駆動力は、メモリセル内のNチャネルMOSトランジスタの駆動力よりも大

きく設定されているので、ダミービット線DBTの電位降下する速度は、ローカルビット線BTまたはBTCの電位降下する速度よりも高速となる。

【0038】

インバータG14が、このダミービット線DBTの電位「L」レベルを反転し、時刻 t_2 において、ローカルセンスイネーブル信号SE<0>が「H」レベルに設定される（図4の（3）に示す）。

【0039】

ここで、ローカルセンスアンプSA1<0>の入力信号であるローカルデータ線対DATA, DATACの電位差 ΔV が十分大きくなったとき（通常、200mV～300mV）に、ローカルセンスイネーブル信号SE<0>が「H」レベルに活性化されるように、NチャネルMOSトランジスタN10（およびN11）のサイズが決められている。

【0040】

このローカルセンスイネーブル信号SE<0>がインバータG15により反転されて、ワードドライバG10、G11などに送られる。これにより、すべてのワード線が非選択状態となり、ビット線の電位の低下は停止する。すなわち、メモリセルMから電流が流れなくなる。

【0041】

ローカルセンスアンプSA1<0>では、ローカルセンスイネーブル信号SE<0>が「H」レベルになると、PチャネルMOSトランジスタP20およびP21が非導通になり、NチャネルMOSトランジスタN20が導通する。これによって、データ保持ノードD20とD21の電位差が増幅され、データ保持ノードD20およびD21の電位は、一方がVDDに、他方がGNDになる。

【0042】

ローカルセンスイネーブル信号SE<0>の立ち上がりから遅延回路DLYで規定される一定時間経過後、グローバルワードドライバG16が活性化される。グローバルワードドライバG16は、時刻 t_3 に、グローバルワード線HWD<0>を「H」レベルに駆動する（図4の（4）に示す）。ここで、遅延回路DLYを設けたのは、グローバルワード線HWD<0>を活性化するタイミングを遅

らせるためである。すなわち、後述のように、グローバルワード線HWD<0>が活性化されると、ローカルセンスアンプSA1<0>は、保持しているデータをグローバルビット線対に駆動するので、ローカルセンスアンプSA1<0>が、保持しているデータを十分に増幅した後で、そのデータをグローバルビット線対HBT, HBTCに駆動するようにするためである。

【0043】

また、このようにグローバルワード線HWD<0>の活性化タイミングを遅らせたことに伴って、グローバルセンスアンプHSAの動作も、遅らせる必要がある。そのため、このグローバルセンスアンプHSAの動作と関連するグローバルダミーカラムHDC、およびグローバルビット線対HBT, HBTCをプリチャージするためのPチャネルMOSトランジスタP13、P11およびP12には、クロック信号CLKを遅延回路DLYで遅延させたクロック信号CLK1を供給する。

【0044】

次に、ローカルセンスアンプSA1<0>では、グローバルワード線HWD<0>が「H」レベルになると、NチャネルMOSトランジスタN21およびN22が導通する。これによって、データ保持ノードD20の電位がグローバルビット線HBTに駆動され、データ保持ノードD21の電位がグローバルビット線HBTCに駆動される。

【0045】

グローバルダミーカラムHDCでは、グローバルワード線HWD<0>が「H」レベルになると、NチャネルMOSトランジスタNH10が導通し、それによって、グローバルダミービット線HDBTは、「L」レベルに設定される。このグローバルダミービット線HBTの「L」レベルの電位がインバータG18により反転されて、時刻t4において、グローバルセンスイネーブル信号HSEを「H」レベルに設定する（図4の（5）に示す）。

【0046】

このNチャネルMOSトランジスタNH10の駆動力は、ローカルセンスアンプSA1<0>の駆動力よりも大きく設定されているので、グローバルダミービ

ット線HDBTの電位降下する速度は、グローバルビット線HBTまたはHBTCの電位降下する速度よりも高速となる。ここで、ローカルセンスアンプSA1<0>の駆動力とは、図2において、NチャネルMOSトランジスタN21から、NチャネルMOSトランジスタN25を通して、NチャネルMOSトランジスタN20に流れる電流量、または、NチャネルMOSトランジスタN22から、NチャネルMOSトランジスタN26を通して、NチャネルMOSトランジスタN20に流れる電流量である。

【0047】

グローバルセンスアンプHSAでは、グローバルセンスイネーブル信号HSEが「H」レベルになると、PチャネルMOSトランジスタP30およびP31が非導通になり、NチャネルMOSトランジスタN30が導通する。PチャネルMOSトランジスタP30およびP31が非導通になると、グローバルビット線対HBT, HBTCと、データ保持ノードD30およびD31とは、分離される。NチャネルMOSトランジスタN30が導通すると、データ保持ノードD30とD31の電位差が増幅され、データ保持ノードD30およびD31の電位は、一方がVDDに、他方がGNDになる。このデータ保持ノードD30およびD31の電位は、NAND回路G30およびG31で構成されるラッチで保持され、端子DOUTから外部に出力される。

【0048】

このグローバルセンスイネーブル信号HSEがインバータG19により反転されて、グローバルワードドライバG16、G17などに送られる。これにより、すべてのグローバルワード線HWDが非選択状態となる。その結果、ローカルセンスアンプSA1<0>は、グローバルビット線対HBT, HBTCの駆動を停止するので、グローバルビット線対HBT, HBTCの電位の低下は停止する。この停止するタイミングは、グローバルビット線対HBT, HBTCのいずれかが、 $VDD - \alpha$ になるタイミングとする（ $\alpha = 200\text{ mV} \sim 300\text{ mV}$ ）。このタイミングの調整は、グローバルダミーカラムHDC内のNチャネルMOSトランジスタNH10およびNH11の駆動力を調整することで行なわれる。

【0049】

以上によって、グローバルビット線対HBT, HBTCの電位振幅はパーシャルスイングに制限される。これによって、ローカルセンスアンプSA1から電流が流れなくなる。つまり、グローバルビット線対HBT, HBTCの電位差がVDDに達する前に、ローカルセンスアンプSA1<0>によるグローバルビット線対HBT, HBTCの駆動を停止するとともに、グローバルセンスアンプHSAを活性化する。

【0050】

次に、時刻t5において、クロック信号CLKが「L」レベルになると、ダミーカラムDCでは、ダミービット線DBTが「H」レベルに設定され、それによって、ローカルセンスイネーブル信号SE<0>が「L」レベルに設定される。

【0051】

また、クロック信号CLKを遅延させたクロック信号CLK1が「L」レベルになると、グローバルダミーカラムHDCでは、グローバルダミービット線HDBTが「H」レベルに設定され、それによって、グローバルセンスイネーブル信号HSEが「L」レベルに設定される。

【0052】

(従来のSRAMとの比較)

次に、本実施の形態におけるSRAMと従来のSRAMとを比較する。図5に従来のSRAMの構成を示す。図1に示すSRAMが、図5に示す従来のSRAMと異なる点は、以下である。図1に示すSRAMでは、従来のSRAMにおけるグローバルデータ線HDATAの代わりに、グローバルビット線対HBT, HBTCを備え、ローカルセンスアンプSA0の代わりに、ローカルセンスアンプSA1を備え、従来のSRAMにはないグローバルセンスアンプHSAおよびグローバルダミーカラムHDCを備える。

【0053】

図6は、従来のローカルセンスアンプSA0<0>の構成を示す。ローカルセンスアンプSA0<0>では、ローカルセンスイネーブル信号SE<0>が「H」レベルになると、PチャネルMOSトランジスタP20およびP21が非導通になり、NチャネルMOSトランジスタN20が導通する。これによって、デー

タ保持ノードD 2 0 およびD 2 1 の間の電位差は増幅され、一方の電位は、V D Dに、他方の電位はG N Dになる。

【0 0 5 4】

出力バッファD R 2 0 0 では、ブロック選択信号B S<0>が「H」レベルになると、PチャネルM O S トランジスタP 2 0 3 およびNチャネルM O S トランジスタN 2 0 1 が導通する。したがって、データ保持ノードD 2 0 の電位が「H」レベルのときには、N 2 0 2 が導通し、グローバルデータ線H D A T A の電位が「L」レベルとなる。一方データ保持ノードD 2 0 の電位が「L」レベルのときには、P 2 0 2 が導通し、グローバルデータ線H D A T A の電位が「H」レベルとなる。

【0 0 5 5】

このように、従来のグローバルデータ線H D A T A は、フルスイングするのに対して、本実施の形態に係るS R A Mによれば、グローバルビット線H B T, H B T C の電位振幅をパースシャルスイングに制限するので、消費電力を低減できる。

【0 0 5 6】

なお、本実施の形態のS R A Mでは、ローカルデータ線対D A T A, D A T A C、ワード線W D、ダミーカラムD C、ローカルセンスアンプS A 1 からなるローカルメモリ回路と、グローバルビット線対H B C, H B T C、グローバルワード線H W D、グローバルダミーカラムH D C、グローバルセンスアンプH S A からなるグローバルメモリ回路が同様の動作を行なうことによって、階層的にメモリセルからのデータを読み出すことができる。本実施の形態では、2階層の構成について説明したが、2階層以上の構成に拡張することができる。たとえば、3階層にする場合には、メモリセルアレイを2段階で分割する。すなわち、メモリセルアレイをまず大ブロックに分割し、大ブロックをさらに小ブロックに分割する。そして、小ブロックに対応するグローバルメモリ回路を複数個設け、大ブロックに対応するグローバルメモリ回路を1つ設けるものとすることができる。

【0 0 5 7】

<第2の実施形態>

本実施の形態は、第 1 の実施形態に係る S R A M に書込みを行なうための機能を追加した S R A M に関する。

【 0 0 5 8 】

(全体の構成)

図 7 は、本発明の第 2 の実施の形態に係る S R A M の主要部分の構成を示す図である。同図では、第 0 ブロックへの書込みを行なうために必要な回路の構成のみを示している。同図に示す S R A M は、図 1 に示す S R A M に、グローバル書込みドライバ H D R 1 と、ローカル書込みドライバ D R 0 および D R 1 とが追加されている。これらの追加された構成要素について説明する。

【 0 0 5 9 】

(グローバル書込みドライバ H D R 1)

図 8 は、本実施の形態に係るグローバル書込みドライバ H D R 1 の構成を示す。グローバル書込みドライバ H D R 1 は、書込み指示信号 W E 、遅延クロック C L K 1 、および書込みデータ D i n が入力される。書込み指示信号 W E は、外部から与えられ、書込み指示を示す場合には、「H」レベルとなる。

【 0 0 6 0 】

書込み指示信号 W E が「H」レベル、かつ遅延クロック信号 C L K 1 が「H」レベルのときに限り、グローバル書込み信号 W E 1 が「H」レベルとなる。また、このときには、PチャネルMOSトランジスタ P 6 1 および P 6 3 が導通し、NチャネルMOSトランジスタ N 6 1 および N 6 3 が導通する。

【 0 0 6 1 】

このときに、書込みデータ D i n が「H」レベルの場合には、NチャネルMOSトランジスタ N 6 2 および PチャネルMOSトランジスタ P 6 4 が導通し、グローバルビット線 H B T のデータは、「L」レベルとなり、グローバルビット線 H B T C のデータは、「H」レベルとなる。一方、書込みデータ D i n が「L」レベルの場合には、PチャネルMOSトランジスタ P 6 2 および NチャネルMOSトランジスタ N 6 4 が導通し、グローバルビット線 H B T のデータは、「H」レベルとなり、グローバルビット線 H B T C のデータは、「L」レベルとなる。

【 0 0 6 2 】

書込み指示信号WEが「L」レベル、または遅延クロック信号CLK1が「L」レベルのときには、グローバル書込みドライバHDR1のグローバルビット線対HBT、HBTCへの出力は、ハイインピーダンスとなる。

【0063】

(ローカル書込みドライバDR0, DR1)

図9は、本実施の形態に係るローカル書込みドライバDR0の構成を示す。ローカル書込みドライバDR0は、グローバル書込み信号WE1、ブロック選択信号BS<0>、グローバルビット線HBTのデータが入力され、ローカルデータ線DATAにデータを出力する。ブロック選択信号BS<0>は、外部から与えられ、ブロック0が選択される場合には、「H」レベルとなる。

【0064】

グローバル書込み信号WE1 = 「H」レベル、かつブロック選択信号BS<0> = 「H」レベルのときには、NANDゲート71の出力が「L」レベルとなって、PチャネルMOSトランジスタP71およびNチャネルMOSトランジスタN71が導通する。

【0065】

このときに、グローバルビット線HBTのデータが「H」レベルの場合、NチャネルMOSトランジスタN72が導通し、ローカルデータ線DATAのデータは、「L」レベルとなる。一方、グローバルビット線HBTのデータが「L」レベルの場合、NチャネルMOSトランジスタP72が導通し、ローカルデータ線DATAのデータは、「H」レベルとなる。

【0066】

グローバル書込み信号WE1 = 「L」レベル、またはブロック選択信号BS<0> = 「L」レベルのときには、ローカル書込みドライバDR0のローカルデータ線対DATA, DATACへの出力は、ハイインピーダンスとなる。

【0067】

ローカル書込みドライバDR1の構成は、上記ローカル書込みドライバDR0の構成と同様であるので、図示は省略する。ローカル書込みドライバDR1によって、グローバル書込み信号WE1 = 「H」レベル、かつブロック選択信号BS

<0>=「H」レベルのときには、グローバルビット線HBTCのデータが「H」レベルの場合、ローカルデータ線DATACのデータは、「L」レベルとなる。一方、グローバルビット線HBTCのデータが「L」レベルの場合、ローカルデータ線DATACのデータは、「H」レベルとなる。

【0068】

このようにして、ローカルデータ線対DATA, DATACに駆動されたデータは、ローカルワード線WDと、ローカルビット線対BT, BTCが選択されることによって、目的のメモリセルにデータが書込まれる。

【0069】

以上のように、本実施の形態によるSRAMによれば、読出し動作だけでなく、書込み動作も階層化して行なうことができる。

【0070】

なお、本実施の形態では、1つのブロックに対応して、ローカル書込みドライバをDR0およびDR1を備えるものとしたが、ローカル書込みドライバDR0とDR1との2つで、1つのローカル書込みドライバとみなすものとしてもよい。

【0071】

<第3の実施形態>

本実施の形態は、第2の実施形態で用いた書込み動作の制御のための書込み信号WE1を不要にしたSRAMに関する。

【0072】

(全体の構成)

図10は、本発明の第3の実施の形態に係るSRAMの主要部分の構成を示す図である。同図では、第0ブロックへの書込みを行なうために必要な回路の構成のみを示している。このSRAMでは、図7に示す第2の実施形態のSRAMと相違する点は、以下である。すなわち、本実施の形態のSRAMは、グローバル書込みドライバHDR1の代わりに、グローバル書込みドライバHDR2を備え、2つのローカル書込みドライバDR0およびDR1の代わりに、1つのローカル書込みドライバDR2を備える。以下、これらの構成要素について説明する。

【 0 0 7 3 】

(グローバル書込みドライバH D R 2 の構成)

図 1 1 は、本実施の形態に係るグローバル書込みドライバH D R 2 の構成を示す。グローバル書込みドライバH D R 2 は、書込み指示信号W E、遅延クロックC L K 1、および書込みデータD i nが入力される。

【 0 0 7 4 】

書込み指示信号W Eが「H」レベル、かつ遅延クロック信号C L K 1が「H」レベルのときに限り、PチャネルM O SトランジスタP 6 1、P 6 3が導通し、NチャネルM O SトランジスタN 6 1、N 6 3およびN 6 4が導通する。これにより、グローバルビット線H B T Cのデータは、「L」レベルとなる。このように、本実施の形態では、書込み指示信号W Eにより書込み指示を受けたときには、グローバル書込み信号W E 1を「H」レベルに設定するのではなく、グローバルビット線H B T Cを、「L」レベルに設定することを特徴とする。

【 0 0 7 5 】

このときに、書込みデータD i nが「H」レベルの場合には、NチャネルM O SトランジスタN 6 2が導通し、グローバルビット線H B Tのデータは、「L」レベルとなる。一方、書込みデータD i nが「L」レベルの場合には、PチャネルM O SトランジスタP 6 2が導通し、グローバルビット線H B Tのデータは、「H」レベルとなる。これによって、書込みデータD i nが、グローバルビット線H B Tに駆動される。

【 0 0 7 6 】

なお、書込み指示信号W Eが「L」レベル、または遅延クロック信号C L K 1が「L」レベルの場合には、グローバル書込みドライバH D R 2のグローバルビット線対H B T、H B T Cへの出力はハイインピーダンスとなる。

【 0 0 7 7 】

(ローカル書込みドライバD R 2 の構成)

図 1 2 は、本実施の形態に係るローカル書込みドライバD R 2 の構成を示す。ローカル書込みドライバD R 2 には、グローバルビット線H B T、ブロック選択信号B S<0>、グローバルビット線H B T Cが入力される。

【0078】

ブロック選択信号BS<0>が「H」レベル、かつグローバルビット線HBTCが「L」レベルのとき限り、PチャネルMOSトランジスタP102およびP104と、NチャネルMOSトランジスタN102およびN104が導通する。

【0079】

このときに、グローバルビット線HBTCが「H」レベルの場合には、NチャネルMOSトランジスタN103およびPチャネルMOSトランジスタP101が導通する。これにより、ローカルデータ線DATAのデータは、「L」レベルとなり、ローカルデータ線DATACのデータは、「H」レベルとなる。

【0080】

一方、グローバルビット線HBTCが「L」レベルの場合には、PチャネルMOSトランジスタP103およびNチャネルMOSトランジスタN101が導通する。これにより、ローカルデータ線DATAのデータは、「H」レベルとなり、ローカルデータ線DATACのデータは、「L」レベルとなる。

【0081】

なお、ブロック選択信号BS<0>が「L」レベル、またはグローバルビット線HBTCが「H」レベルのときには、ローカル書込みドライバDR2のローカルデータ線対DATA, DATACへの出力は、ハイインピーダンスとなる。

【0082】

(読出し動作との関係について)

以上のように、ローカル書込みドライバDR2は、グローバルビット線HBTCを、書込み制御に用いる。ところで、読出し時に、このグローバルビット線HBTCに、「L」レベルに設定されることがある。ローカル書込みドライバDR2は、このようにデータの読出しによってグローバルデータ線HBTCが「L」レベルになった場合に、書込み指示がなされたと誤らないようにすることが必要となる。これは、次のようにして実現できる。

【0083】

第1に、第1の実施形態で説明したように、読出し時には、グローバルビット線対HBTC, HBTCは、フルスイングしない。つまり、グローバルビット線H

BTCの電位降下は、200mV～300mVに制限されている。したがって、ローカル書込みドライバDR2の入力インバータ104の閾値を200mVよりも低く設定しておく。これにより、読出し時にグローバルビット線HBT Cが「L」レベルに設定されたとしても、その電位は200mV～300mVなので、入力インバータ104は、「L」レベルを出力する。一方、書込み時に、グローバルビット線HBT Cが書込み指示を示す「L」レベルに設定されたときには、入力インバータ104は、「H」レベルを出力する。これによって、ローカル書込みドライバDR2は、データの読出しによって、グローバルデータ線HBT Cが「L」レベルになったとしても、それを書込み指示として受け付けない。

【0084】

第2に、読出し時に、グローバルビット線HBT Cが「L」レベルのときには、グローバルビット線HBTは、「H」レベルである。グローバルビット線対HBT, HBT Cの電位がこのような値になるのは、メモリセルMからデータが読み出され、ローカルデータ線DATAが「H」レベルになり、ローカルデータ線対DATA Cが「L」レベルとなった結果である。

【0085】

この場合、ローカル書込みドライバDR2が、グローバルビット線HBT Cが「L」レベルにより、ローカルデータ線対DATAは、「L」レベルに駆動され、ローカルデータ線DATA Cは、「H」レベルに駆動される。これによって、メモリセルMにデータが書込まれることになるが、メモリセルM内のデータは、変化しない。

【0086】

以上のように、本実施の形態に係るSRAMによれば、グローバルビット線により、書込み指示を送ることによって、書込み信号WE1の信号線をなくすことができ、回路の面積を縮小できるとともに、消費電力を低減することができる。

【0087】

＜第4の実施形態＞

本実施の形態は、センスアンプと書込みドライバを融合したSRAMに関する

。

【 0 0 8 8 】

(全体の構成)

図 1 3 は、本発明の第 4 の実施の形態に係る S R A M の主要部分の構成を示す図である。同図では、第 0 ブロックへの書込みを行なうために必要な回路の構成のみを示している。この S R A M では、図 7 に示す第 2 の実施形態の S R A M と相違する点は、以下である。すなわち、本実施の形態の S R A M は、ローカルセンスアンプ S A 1 と、2 つのローカル書込みドライバ D R 0 および D R 1 の代わりに、1 つの書込み機能付きローカルセンスアンプ S A 2 を備える。以下、これらの構成要素について説明する。

【 0 0 8 9 】

(書込み機能付きローカルセンスアンプ S A 2 の構成)

図 1 4 は、本実施の形態に係る書込み機能付きローカルセンスアンプ S A 2 < 0 > の構成を示す。この書込み機能付きローカルセンスアンプ S A 2 < 0 > は、図 2 に示すローカルセンスアンプ S A 1 < 0 > に、トランスミッションゲート T G 1 2 0 および T G 1 2 1 が追加されている。これらのトランスミッションゲート T G 1 2 0 および T G 1 2 1 は、制御信号 Q N および Q P により制御される。制御信号 Q N および Q P は、N A N D ゲート G 1 2 2 およびインバータ 1 2 3 によって、グローバル書込み信号 W E 1 およびブロック選択信号 B S < 0 > に基づいて生成される。

【 0 0 9 0 】

グローバル書込み信号 W E 1 が「H」レベル、かつブロック選択信号 B S < 0 > が「H」レベルのときに限り、制御信号 Q N は「H」レベルとなり、制御信号 Q P は「L」レベルとなる。この場合、トランスミッションゲート T G 1 2 0 および T G 1 2 1 は、導通し、その結果グローバルビット線対 H B T, H B T C とローカルデータ線対 D A T A, D A T A C とが接続される。

【 0 0 9 1 】

一方、グローバル書込み信号 W E 1 が「L」レベル、またはブロック選択信号 B S < 0 > が「L」レベルのときには、制御信号 Q N は「L」レベルとなり、制御信号 Q P は「H」レベルとなる。この場合、トランスミッションゲート T G 1

2 0 および T G 1 2 1 は、非導通になり、その結果、グローバルビット線対 H B T, H B T C とローカルデータ線対 D A T A, D A T A C とは、接続されない。

【 0 0 9 2 】

この書込み機能付きローカルセンスアンプ S A 2 < 0 > の動作を読出し時と書込み時に分けて説明する。

【 0 0 9 3 】

(読出し動作)

読出し動作時には、グローバル書込み信号 W E 1 は「L」レベルのため、トランスミッションゲート T G 1 2 0 および T G 1 2 1 は、非導通になる。これにより、グローバルビット線対 H B T, H B T C は、ローカルデータ線対 D A T A, D A T A C と接続されない。この場合、書込み機能付きローカルセンスアンプ S A 2 < 0 > は、図 2 に示すローカルセンスアンプ S A 1 < 0 > と同様に動作する。

【 0 0 9 4 】

(書込み動作)

書込み動作時には、グローバル書込み信号 W E 1 は「H」レベルのため、ブロック選択信号 B S < 0 > が「H」レベルである場合には、トランスミッションゲート T G 1 2 0 および T G 1 2 1 は、導通する。これにより、グローバルビット線対 H B T, H B T C は、ローカルデータ線対 D A T A, D A T A C に接続される。

【 0 0 9 5 】

グローバルビット線対 H B T, H B T C は、グローバル書込みドライバ H D R 1 によって、書込むべきデータが出力されているので、そのデータが導通状態のトランスミッションゲート T G 1 2 0, 1 2 1 を介してローカルデータ線対 D A T A, D A T A C に転送される。

【 0 0 9 6 】

以上のように、本実施の形態では、ローカルセンスアンプに、2 つのトランスミッションゲート T G 1 2 0 および T G 1 2 1 と、N A N D ゲート G 1 2 2 と、インバータ G 1 2 3 とを加えるだけで、ローカルセンスアンプは、ローカル書込

みドライバの機能も兼ねることができ、第 2 の実施形態のように単独のローカル書込みドライバを備える場合と比べて、素子数を削減することができる。その結果、回路の面積を縮小することができるとともに、消費電力を低減することができる。

【0097】

＜第 5 の実施形態＞

本実施の形態では、トランスミッションゲートを用いずに、ローカルデータ線対 DATA, DATAC を駆動する SRAM に関する。第 4 の実施形態では、書込み機能付きローカルセンスアンプ SA2 は、トランスミッションゲートを介して、ローカルデータ線対 DATA, DATAC を駆動した。しかし、トランスミッションゲートは、駆動力が弱いため、ローカルデータ線対 DATA, DATAC の寄生容量が大きいときには、ローカルデータ線対 DATA, DATAC の一方の電位を十分に低く設定することができない。その結果、メモリセルへのデータの書込みが行なうことができなくなる。本実施の形態では、このような問題を解決する。

【0098】

（全体の構成）

図 15 は、本発明の第 5 の実施の形態に係る SRAM の主要部分の構成を示す図である。同図では、第 0 ブロックへの書込みを行なうために必要な回路の構成のみを示している。この SRAM では、図 13 に示す第 4 の実施形態の SRAM と相違する点は、以下である。すなわち、本実施の形態の SRAM は、書込み機能付きローカルセンスアンプ SA2 の代わりに、それとは別の書込み機能付きローカルセンスアンプ SA3 を備える。

【0099】

（書込み機能付きローカルセンスアンプ SA3 の構成）

図 16 は、本実施の形態に係る書込み機能付きローカルセンスアンプ SA3<0>の構成を示す。同図の書込み機能付きローカルセンスアンプ SA3<0>は、図 14 に示す書込み機能付きローカルセンスアンプ SA2<0>と異なり、グローバルビット線対 HBT, HBTC と、ローカルデータ線対 DATA, DAT

ACとが直接接続されることがない。また、ローカルデータ線対DATA, DATACと増幅&ラッチ回路LAT20内のデータ保持ノードD20, D21との間にNチャネルMOSトランジスタN131およびN132が追加され、ORゲートG130と、ANDゲートG131と、ORゲートG132とが追加されている。

【0100】

この書込み機能付きローカルセンスアンプSA3<0>の動作を讀出し時と書込み時に分けて説明する。

【0101】

(讀出し動作)

讀出し動作時には、書込み機能付きローカルセンスアンプSA3<0>は、以下のように、図2に示すローカルセンスアンプSA1<0>と同様に動作する。

【0102】

讀出し動作時には、グローバル書込み信号WE1は「L」レベルのため、ANDゲートG131は、「L」レベルを出力する。これにより、NチャネルMOSトランジスタN131およびN132は、非導通になる。

【0103】

ローカルセンスイネーブル信号SE<0>が「L」レベルの期間は、PチャネルMOSトランジスタP20およびP21が導通する。これにより、ローカルデータ線対DATA, DATACの電位が、データ保持ノードD20, D21に設定される。

【0104】

次に、ローカルセンスイネーブル信号SE<0>が「H」レベルになると、PチャネルMOSトランジスタP20およびP21が非導通になる。また、ORゲートG132は、「H」レベルを出力するので、NチャネルMOSトランジスタN20は、導通する。これによって、データ保持ノードD20とD21の電位差が増幅され、データ保持ノードD20およびD21の電位は、一方がVDDに、他方がGNDになる。

【0105】

次に、グローバルワード線HWD<0>が「H」レベルになると、ORゲートG130は、「H」レベルを出力するので、NチャネルMOSトランジスタN21およびN22は、導通する。これにより、データ保持ノードD20およびD21の電位がグローバルビット線対HBT, HBTCに転送される。

【0106】

(書込み動作)

書込み動作時は、グローバル書込み信号WE1は「H」レベルのため、ブロック選択信号BS<0>が「H」レベルである場合には、ORゲートG130は、「H」レベルを出力するので、NチャネルMOSトランジスタN21およびN22は、導通する。これにより、書込みデータが設定されたグローバルビット線対HBT, HBTCの電位は、データ保持ノードD20, D21に設定される。また、このときには、ORゲートG132は、「H」レベルを出力するので、NチャネルMOSトランジスタN20も導通する。これにより、書込みデータは、増幅&ラッチ回路LAT20に取り込まれる。

【0107】

さらに、このときには、ANDゲートG131は、「H」レベルを出力するので、NチャネルMOSトランジスタN131およびN132は、導通する。これにより、増幅&ラッチ回路LAT20に取り込まれている書込みデータに基づいて、ローカルデータ線対DATA, DATACのうち、一方のローカルデータ線が放電され、電位がGNDまで下がる。

【0108】

ここで、ローカルデータ線対DATA, DATACと、増幅&ラッチ回路LAT20とは、NチャネルMOSトランジスタ(N131, N132)を介して接続されているため、一方のローカルデータ線の電位を、GNDまで下げることができる。NチャネルMOSトランジスタの代わりに、PチャネルMOSトランジスタを用いた場合には、ローカルデータ線の電位は、PチャネルMOSトランジスタの閾値電圧V_{thp}までしか下げることができない。

【0109】

以上により、プリチャージ期間において、VDDに充電されていたローカルデ

ータ線対 DATA, DATAC のうち、一方のローカルデータ線の電位を GND まで下げることができる。

【0110】

以上のように、本実施の形態に係る SRAM によれば、グローバルビット線対 HBT, HBTC に設定された書込みデータを増幅&ラッチ回路 LAT20 に取込み、この取込んだ書込みデータに基づき、増幅&ラッチ回路 LAT20 とローカルデータ線対 DATA, DATAC とを接続する N チャンネル MOS トランジスタ N131 および N132 を介して、ローカルデータ線対 DATA, DATAC を駆動するので、ローカルビット線対 BT, BTC の寄生容量が大きな場合でも、メモリセルにデータを書込むことができる。

【0111】

<第6の実施形態>

本実施の形態は、書込み時にグローバルビット線の電位振幅をパシシャルスイングに制限する SRAM に関する。第2～第5の実施形態では、書込み時には、グローバルビット線対 HBT, HBTC の一方の電位は VDD に、他方の電位は GND に設定される。書込み時において、このようにグローバルビット線対 HBT, HBTC の電位がフルスイングすると、消費電力が大きくなるとともに、以下のように誤った書込みが行なわれる場合がある。

【0112】

すなわち、書込み動作時には、書込み対象となるメモリセルに接続されたワード線が活性化され、書込み対象となるメモリセルに接続されたビット線対に書込みデータが設定される。ところで、活性化されたワード線には、書込み対象以外の多数のメモリセルが接続されてなり、これらのメモリセルも、書込み対象のメモリセルと同様に、書込み可能な選択状態となる。これを擬似選択状態という。

【0113】

一方、グローバルビット線対 HBT, HBTC とローカルビット線対 BT, BTC は、別個の配線層で配線されるが、これらの配線は、平行になるように配置される。その結果、これらの配線間には、寄生容量が形成される。この寄生容量を介して、グローバルビット線の電位変化が大きい場合に、この電位変化がロー

カルビット線に伝播する。これを容量結合という。

【0114】

このような容量結合によって、グローバルビット線の電位がフルスイングすると、この電位変化が、擬似選択セルに接続されるビット線対に伝播する。これによって、擬似選択セルに誤って書込みが行なわれる。本実施の形態では、書込み時にグローバルビット線の電位振幅をパシャルスイングにすることで、このような誤った書込みを防止するとともに、消費電力を低減する。

【0115】

（全体の構成）

図17は、本発明の第6の実施の形態に係るSRAMの主要部分の構成を示す図である。同図では、第0ブロックへの書込みを行なうために必要な回路の構成のみを示している。このSRAMでは、図15に示す第5の実施形態のSRAMと相違する点は、以下である。すなわち、本実施の形態のSRAMは、グローバル書込みドライバHDR1の代わりに、グローバル書込みドライバHDR3を備え、書込み機能付きローカルセンスアンプSA3の代わりに、それとは別の書込み機能付きローカルセンスアンプSA4を備える。以下、これらの構成要素について説明する。

【0116】

（グローバル書込みドライバHDR3）

図18は、本実施の形態に係るグローバル書込みドライバHDR3の構成を示す。このグローバル書込みドライバHDR3は、図8に示す第2の実施形態のグローバル書込みドライバHDR1と、回路構成は同一である。異なる点は、本実施の形態に係るグローバル書込みドライバHDR3に供給する2つの電位のうち、一方の電位をGNDの代わりにVPとしたところである。

【0117】

電位VPは、電位GNDよりも高い電位である。グローバルビット線の、書込み時の電位降下を読出し時の電位降下と同一にするのなら、電位VPはVDDから200～300mVほど低い値に設定すればよい。この電位VPは、SRAMの外部から与えるものとしてもよく、SRAMの内部で生成するものとしてもよ

い。

【0118】

(書込み機能付きローカルセンスアンプSA4)

図19は、本実施の形態に係る書込み機能付きローカルセンスアンプSA4<0>の構成を示す。この書込み機能付きローカルセンスアンプSA4<0>は、図16に示す第5の実施形態のローカルセンスアンプSA3<0>と、相違する点は、以下である。本実施の形態に係る書込み機能付きローカルセンスアンプSA4<0>では、PチャンネルMOSトランジスタP150およびP151が追加され、ローカル書込みドライバDR150およびD151が追加されている。また、NチャンネルMOSトランジスタN131およびN132が削除され、NANDゲートG152と、インバータG151およびG155と、遅延回路DLY2と、ANDゲートG150とが追加されている。

【0119】

(ローカル書込みドライバDR150, DR151)

図20は、本実施の形態に係るローカル書込みドライバDR150の構成を示す。ローカル書込みドライバDR150には、端子INからデータ保持ノードD20の電位が入力され、端子Cから、ANDゲートG131の出力電位が入力される。

【0120】

グローバル書込み信号WE1が「H」レベル、かつブロック選択信号BS<0>が「H」レベルのときに限り、ANDゲートの出力が「H」レベルとなり、PチャンネルMOSトランジスタP161およびNチャンネルMOSトランジスタN161が導通する。このときに、データ保持ノードD20の電位が「H」レベルであれば、ローカルデータ線DATAに「L」レベルが出力され、データ保持ノードD20の電位が「L」レベルであれば、ローカルデータ線DATAに「H」レベルが出力される。

【0121】

ローカル書込みドライバDR151の構成は、上記ローカル書込みドライバDR150の構成と同様であるので、図示は省略する。ローカル書込みドライバD

R 1 5 1によって、グローバル書込み信号WE 1が「H」レベル、かつブロック選択信号BS<0>が「H」レベルのときには、データ保持ノードD 2 1の電位が「H」レベルであれば、ローカルデータ線DATACに「L」レベルが出力され、データ保持ノードD 2 1の電位が「L」レベルであれば、ローカルデータ線DATACに「H」レベルが出力される。

【 0 1 2 2 】

次に、本実施の形態に係るSRAMの読出し動作と書込み動作を説明する。

（読出し動作）

読出し動作時には、書込み機能付きローカルセンスアンプSA 4<0>では、グローバル書込み信号WE 1は「L」レベルのため、ANDゲートG 1 3 1は、「L」レベルを出力する。これにより、DR 1 5 0およびDR 1 5 0の出力は、ハイインピーダンスとなる。また、NANDゲートG 1 5 2は、「H」レベルを出力するので、PチャネルMOSトランジスタP 1 5 0およびP 1 5 1は、非導通になる。また、ANDゲートG 1 5 0は、グローバルワード線HWD<0>と同一の論理を出力する。

【 0 1 2 3 】

これにより、本実施の形態の読出し動作は、第5の実施形態における読出し動作と同様となる。

【 0 1 2 4 】

（書込み動作）

書込み動作時には、グローバル書込みドライバHDR 3では、書込みデータD_{in}に応じて、グローバルビット線HBT、HBTCの一方の電位がVDD、他方の電位がVPに駆動される。

【 0 1 2 5 】

書込み機能付きローカルセンスアンプSA 4<0>では、グローバル書込み信号WE 1は「H」レベルのため、ブロック選択信号BS<0>が「H」レベルである場合には、ANDゲートG 1 3 1が「H」レベルを出力し、NANDゲートG 1 5 2が「L」レベルを出力するので、PチャネルMOSトランジスタP 1 5 0およびP 1 5 1が導通する。これにより、グローバルビット線HBTの電位が

データ保持ノードD 2 0に転送され、グローバルビット線H B T Cの電位がデータ保持ノードD 2 1に転送される。

【 0 1 2 6 】

ここで、データ保持ノードD 2 0およびD 2 1と、グローバルビット線対とは、PチャネルMOSトランジスタ（P 1 5 0、P 1 5 1）を介して接続されているため、データ保持ノードD 2 0およびD 2 1に、VDDとVPの電位を損失なく転送することができる。

【 0 1 2 7 】

ここで、PチャネルMOSトランジスタの代わりに、NチャネルMOSトランジスタを用いた場合には、NチャネルMOSトランジスタの閾値電圧 V_{thn} としたときに、データ保持ノードD 2 0およびD 2 1には、最大で $VDD - V_{thn}$ までの電位しか転送されない。したがって、データ保持ノードD 2 0とD 2 1のいずれかのノードの電位は、 $VDD - V_{thn}$ となり、他方のノードの電位は、VPとなる。ここで、 $VP > VDD - V_{thn}$ と設定されているときには、データ保持ノードD 2 0およびD 2 0には、書込みデータが正しく設定できないことになる。PチャネルMOSトランジスタを用いることによって、このような問題を回避できる。

【 0 1 2 8 】

PチャネルMOSトランジスタ1 5 0およびP 1 5 1が導通状態になった後、遅延回路DLY 2で規定される一定時間経過後には、ORゲートG 1 3 2は、「H」レベルを出力する。これにより、NチャネルMOSトランジスタN 2 0は、導通し、インバータG 1 5 5は、「L」レベルを出力し、NANDゲートG 1 5 2は、「H」レベルを出力する。NANDゲートG 1 5 2が「H」レベルを出力すると、PチャネルMOSトランジスタP 1 5 0およびP 1 5 1は、非導通となる。

【 0 1 2 9 】

NチャネルMOSトランジスタN 2 0が導通すると、増幅&ラッチ回路LAT 2 0のデータ保持ノードD 2 0およびD 2 1の一方の電位は、VDDに、他方の電位はGNDになる。しかし、PチャネルMOSトランジスタP 1 5 0およびP

1 5 1 が非導通なので、このデータ保持ノード D 2 0 および D 2 1 の電位は、グローバルビット線対 H B T, H B T C へ出力されない。

【 0 1 3 0 】

また、このときには、ローカル書込みドライバ D R 1 5 0 および D R 1 5 1 の端子 C には、「H」レベルが入力されているので、データ保持ノード D 2 0 のデータがローカルデータ線 D A T A に駆動され、データ保持ノード D 2 1 のデータがローカルデータ線 D A T A C に駆動される。

【 0 1 3 1 】

このように、書込み機能付きローカルセンスアンプ S A 4 は、読出し時には、パシャルスイングのローカルデータ線の電位を受けて、増幅&ラッチ回路 L A T 2 0 でフルスイングまで増幅して、グローバルビット線に出力する。

【 0 1 3 2 】

書込み時には、パシャルスイングのグローバルビット線の電位を受けて、増幅&ラッチ回路 L A T 2 0 でフルスイングまで増幅する。

【 0 1 3 3 】

以上のように、本実施の形態に係る S R A M によれば、読出し時だけでなく、書込み時にも、グローバルビット線の電位をパシャルスイングにするので、消費電力を削減できるとともに、誤った書込みを防止することができる。

【 0 1 3 4 】

＜第 7 の実施形態＞

本実施の形態は、ローカルメモリ回路とグローバルメモリ回路の処理タイミングを別個にした S R A M に関する。

【 0 1 3 5 】

第 1 の実施形態において、ローカルセンスアンプ S A 1 < 0 > では、グローバルビット線対へのデータの転送は、クロック C L K が「H」レベルの期間に完了する必要がある。なぜなら、クロック C L K が「L」レベルになると、ローカルセンスイネーブル信号 S E < 0 > が「L」レベルになって、ローカルセンスアンプ S A 1 < 0 > のデータ保持ノード D 2 0 および D 2 1 がプリチャージされるためである。

【 0 1 3 6 】

プリチャージする前に、ローカルセンスアンプ $SA1<0>$ が、グローバルビット線対 $HB T$ 、 $HB T C$ ヘデータを転送するためには、グローバルワード線 $HWD<0>$ を「H」レベルに活性化するタイミングは、クロック CLK が「H」レベルの期間でなくてはならない。

【 0 1 3 7 】

クロック周波数を速くした場合には、このグローバルワード線 $HWD<0>$ の活性化するタイミングも早くする必要がある、そのためにはグローバルワード線 $HWD<0>$ を活性化するタイミングを定める遅延回路 DLY の遅延時間を短くすることが必要となる。しかし、遅延回路 DLY の遅延時間を短くすると、グローバルセンスアンプ $HS A$ 、グローバルダミーカラム HDC の処理が追いつかなくなる。それゆえ、クロック周波数を速くすることができなくなる。

【 0 1 3 8 】

また、第 1 の実施形態では、メモリセル M からのデータの読出しを行なうために下層のローカルメモリ回路（ローカルセンスアンプ、ローカルデータ線対、ダミーカラム DC 、ワード線）と上層のグローバルメモリ回路（グローバルセンスアンプ、グローバルビット線対、グローバルダミーカラム、グローバルワード線）の 2 階層からなる構成について説明したが、3 階層、4 階層で行なうようにすることもできる。このように階層の数を増加させた場合には、上層のメモリ回路が、クロック周波数を律速することになる。つまり、上層のメモリ回路で処理が可能となるようにクロック周波数が定められる。本実施の形態では、このような問題を解決する。

【 0 1 3 9 】

（全体の構成）

図 2 1 は、本発明の第 7 の実施の形態に係る $SRAM$ の主要部分の構成を示す図である。この $SRAM$ では、図 1 に示す第 1 の実施形態の $SRAM$ と相違する点は、以下である。すなわち、本実施の形態の $SRAM$ は、遅延回路 DLY で CLK を所定時間遅延させた $CLK 1$ を与える代わりに、外部から独立のクロック $CLK 2$ を与える。このクロック $CLK 2$ は、クロック $CLK 1$ と周波数が同一

である。

【 0 1 4 0 】

クロック C L K 2 は、グローバルダミーカラム H D C、グローバルワードドライバ G 1 6、G 1 7、グローバルビット線対 H B T、H B T C のプリチャージ用の P チャネル M O S トランジスタ P 1 1 および P 1 2 に送られる。これらのクロック C L K 2 を受取った構成要素は、クロック C L K 2 のタイミングで処理を行なう。

【 0 1 4 1 】

また、本実施の形態に係る S R A M は、ローカルセンスアンプ S A 1 の代わりに、ローカルセンスアンプ S A 5 を備える。以下、これらの構成要素について説明する。

【 0 1 4 2 】

(ローカルセンスアンプ S A 5)

図 2 2 は、本実施の形態に係るローカルセンスアンプ S A 5 < 0 > の構成を示す。このローカルセンスアンプ S A 5 < 0 > は、図 2 に示す第 1 の実施形態の S A 1 < 0 > に対して、ラッチ回路 L A T 1 8 0 と、N チャネル M O S トランジスタ N 1 8 0 ~ N 1 8 3 が追加されている。

【 0 1 4 3 】

このローカルセンスアンプ S A 5 < 0 > の読出し時の動作について説明する。

(読出し動作)

ローカルセンスイネーブル信号 S E < 0 > の立ち上がりまでは、グローバルダミーカラム H D C と、P チャネル M O S トランジスタ P 1 1 および P 1 2 の動作以外は、第 1 の実施形態と同様である。

【 0 1 4 4 】

グローバルダミーカラム H D C では、クロック C L K 2 が「L」レベルのときに、P チャネル M O S トランジスタ P 1 3 が導通する。これにより、グローバルダミービット線 H D B T は、「H」レベルに設定される。このグローバルダミービット線 H D B T の電位「H」レベルがインバータ G 1 8 により反転されて、グローバルセンスイネーブル信号 H S E が「L」レベルに設定される。

【 0 1 4 5 】

また、クロックCLK2が「L」レベルのときに、PチャネルMOSトランジスタP11およびP12が導通する。これによって、グローバルビット線対HBT, HBTCは、「H」レベルに設定される。

【 0 1 4 6 】

ローカルセンスアンプSA5<0>では、クロックCLKに従って、PチャネルMOSトランジスタP20およびP21が導通し、ローカルデータ線DATAの電位がデータ保持ノードD20に転送され、ローカルデータ線DATACの電位がデータ保持ノードD21に転送される。

【 0 1 4 7 】

次に、ローカルセンスイネーブル信号SE<0>が立ち上がると、PチャネルMOSトランジスタP20およびP21が非導通になり、NチャネルMOSトランジスタN20、N182、およびN183が導通する。PチャネルMOSトランジスタP20およびP21が非導通になると、データ保持ノードD20およびD20とローカルデータ線対DATA, DATACとは、分離される。また、NチャネルMOSトランジスタN20が導通すると、データ保持ノードD20あるいはD21の一方の電位がVDDに、他方の電位がGNDになる。

【 0 1 4 8 】

ここで、データ保持ノードD20の電位がVDD、つまり「H」レベルになったとすると、NチャネルMOSトランジスタN181が導通する。これにより、ラッチ回路LAT180のデータ保持ノードD181は、「L」レベルに設定され、データ保持ノードD180は、「H」レベルに設定される。このようにして、ラッチ回路LAT180にローカルデータ線対DATA, DATACのデータが保持される。ラッチ回路LAT180に一旦データが保持されると、クロックCLKが「L」レベルになり、それによって、ローカルセンスイネーブル信号SE<0>が「L」レベルになったとしても、データが消失することはない。したがって、第1の実施形態のように、グローバルワード線HWD<0>を立ち上げるタイミングが、ローカルセンスイネーブル信号SE<0>が「H」レベルの期間、すなわち、クロックCLKが「H」レベルの期間に限定されることがない。

【 0 1 4 9 】

グローバルワードドライバG 1 6は、クロックC L K 2が「H」レベルになると、グローバルワード線HWD< 0 >を「H」レベルに駆動する。これによって、ローカルセンスアンプS A 5< 0 >において、NチャネルMOSトランジスタN 2 1およびN 2 2が導通し、データ保持ノードD 1 8 0およびD 1 8 1の電位に従って、グローバルビット線対H B T, H B T Cの一方がG N Dに放電される。

【 0 1 5 0 】

また、グローバルダミーカラムH D Cでは、グローバルワード線HWD< 0 >が「H」レベルになると、NチャネルMOSトランジスタN H 1 0が導通し、インバータG 1 8によって、グローバルセンスイネーブル信号H S Eが「H」レベルとなる。

【 0 1 5 1 】

以下の動作は、第 1 の実施形態と同様である。

以上のように、本実施の形態に係わるS R A Mによれば、ローカルセンスアンプS A 5がラッチ回路L A T 1 8 0を備えるとともに、ローカルメモリ回路とグローバルメモリ回路の別個のクロックに従って動作するので、グローバルメモリ回路での処理が追いつかなくなることを防止することができる。また、グローバルメモリ回路の処理が可能となるように、クロック周波数を低速にする必要もなくなる。

【 0 1 5 2 】

なお、クロックC L K 2は、クロックC L Kと逆相にするものとしてもよい。この場合、ローカルメモリ回路は、クロックC L Kの「H」レベルの期間に動作し、グローバルメモリ回路は、クロックC L Kの「L」レベルの期間に動作させることができる。

【 0 1 5 3 】

また、3階層以上の構成にした場合には、各階層のクロックの位相は、下位の階層のクロックの位相をずらしたものとしてもよい。この場合、メモリセルから読出されたデータを、下位の階層のメモリ回路から順次パイプライン処理するこ

とが可能となる。各階層のメモリ回路の処理時間は、1サイクルを割り当てることができるので、処理が追いつかなくなることがない。このように各階層用のクロックに基づいて、その階層のメモリ回路が動作することによって、3階層以上の構成を容易に実現することができる。

【0154】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0155】

【発明の効果】

この発明に係わる半導体記憶装置によれば、相補信号線間の電位差が電源電圧に到達する前に、当該相補信号線に接続される下層のセンスアンプによる当該相補信号線の駆動を停止させるとともに、当該相補信号線に接続される上層のセンスアンプを活性化させるので、ローカルビット線対およびローカルデータ線対だけでなく、グローバルビット線対においても電位振幅をパーシャルスイングに制限することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るSRAMの主要部分の構成を示す図である。

【図2】 本発明の第1の実施の形態に係るローカルセンスアンプSA1の構成を示す図である。

【図3】 本発明の第1の実施の形態に係るグローバルセンスアンプHSAの構成を示す図である。

【図4】 本発明の第1の実施の形態に係るSRAMのデータの読出し動作を説明するためのタイミングチャートである。

【図5】 従来のSRAMの構成を示す図である。

【図6】 従来のローカルセンスアンプSA0の構成を示す図である。

【図7】 本発明の第2の実施の形態に係るSRAMの主要部分の構成を示す図である。

す図である。

【図 8】 本発明の第 2 の実施の形態に係るグローバル書込みドライバ H D R 1 の構成を示す図である。

【図 9】 本発明の第 2 の実施の形態に係るローカル書込みドライバ D R 0 の構成を示す図である。

【図 1 0】 本発明の第 3 の実施の形態に係る S R A M の主要部分の構成を示す図である。

【図 1 1】 本発明の第 3 の実施の形態に係るグローバル書込みドライバ H D R 2 の構成を示す図である。

【図 1 2】 本発明の第 3 の実施の形態に係るローカル書込みドライバ D R 2 の構成を示す図である。

【図 1 3】 本発明の第 4 の実施の形態に係る S R A M の主要部分の構成を示す図である。

【図 1 4】 本発明の第 4 の実施の形態に係る書込み機能付きローカルセンスアンプ S A 2 の構成を示す図である。

【図 1 5】 本発明の第 5 の実施の形態に係る S R A M の主要部分の構成を示す図である。

【図 1 6】 本発明の第 5 の実施の形態に係る書込み機能付きローカルセンスアンプ S A 3 の構成を示す図である。

【図 1 7】 本発明の第 6 の実施の形態に係る S R A M の主要部分の構成を示す図である。

【図 1 8】 本発明の第 6 の実施の形態に係るグローバル書込みドライバ H D R 3 の構成を示す図である。

【図 1 9】 本発明の第 6 の実施の形態に係る書込み機能付きローカルセンスアンプ S A 4 の構成を示す図である。

【図 2 0】 本発明の第 6 の実施の形態に係るローカル書込みドライバ D R 1 5 0 の構成を示す図である。

【図 2 1】 本発明の第 7 の実施の形態に係る S R A M の主要部分の構成を示す図である。

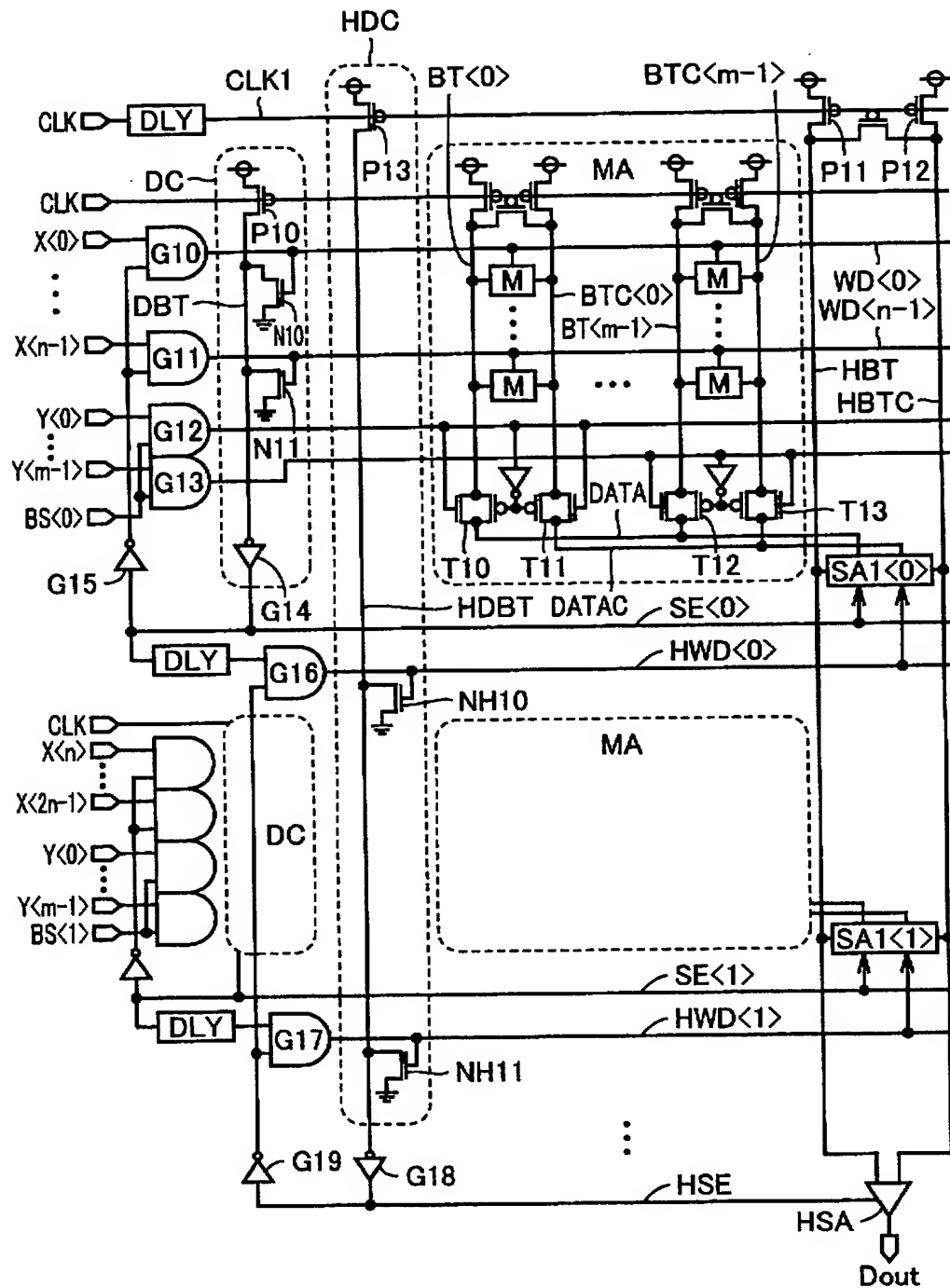
【図 2 2】 本発明の第 7 の実施の形態に係るローカルセンスアンプ S A 5 の構成を示す図である。

【符号の説明】

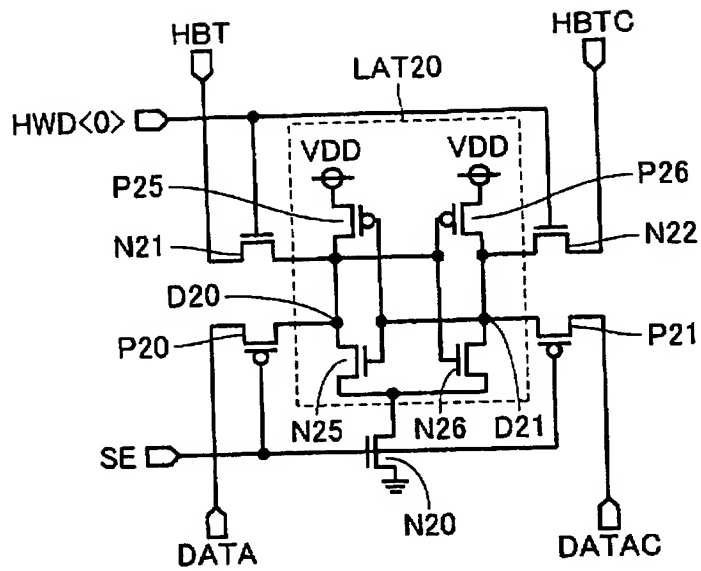
MA メモリセルアレイ、M メモリセル、WD ワード線、HWD グローバルワード線、ローカルビット線 BT, BTC、グローバルビット線 HBT, HBTC、ローカルデータ線 DATA, DATAC、ダミービット線 DBT、グローバルダミービット線 HDBT、SA0, SA1, SA2, SA3, SA4, SA5 ローカルセンスアンプ、HSA グローバルセンスアンプ、HDR1, HDR2, HDR3 グローバル書込みドライバ、DR0, DR1, DR150, DR151 ローカル書込みドライバ、DR200 出力バッファ、DLY, DLY2 遅延回路、DC データカラム、HDC グローバルデータカラム、G10, G11 ワード線ドライバ、G16, G17 グローバルワード線ドライバ、P10, P11, P12, P13, P20, P21, P25, P26, P30, P31, P35, P36, P61, P62, P63, P64, P101, P102, P103, P104, P150, P151, P161, P162, P202, P203 PチャネルMOSトランジスタ、NH10, NH11, N10, N11, N20, N21, N22, N25, N26, N30, N35, N36, N61, N62, N63, N64, N101, N102, N103, N104, N131, N132, N161, N162, N180, N181, N182, N183, N201, N202 NチャネルMOSトランジスタ、T10, T11, T12, T13, TG120, TG121 トランスミッションゲート、LAT20, LAT30 増幅&ラッチ回路、LAT180 ラッチ回路、61, 63, G30, G31, G101, G122, G152 NANDゲート、62, 102, 103, 104, 161, 181, 182, 201, 202, G14, G15, G18, G19, G123, G151, G155 インバータ、G131, G150 ANDゲート、G130, G132 ORゲート。

【書類名】 図面

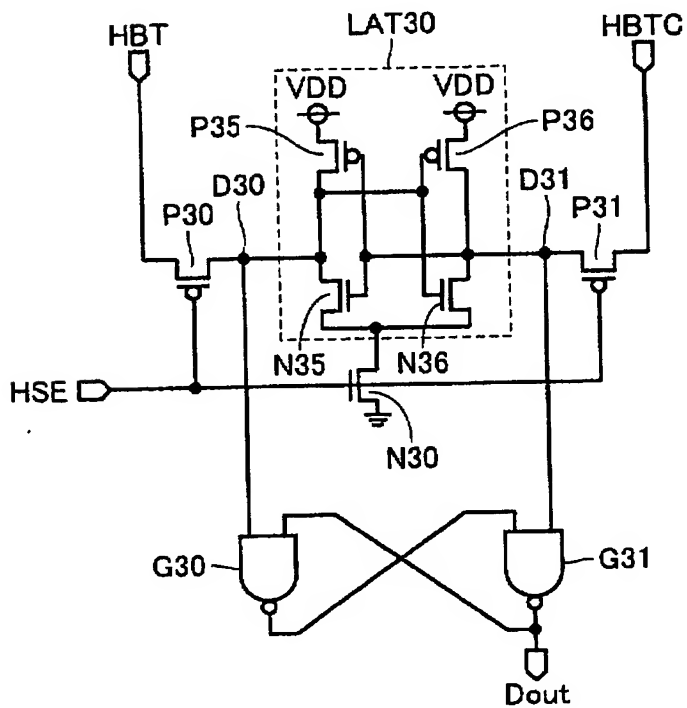
【図 1】



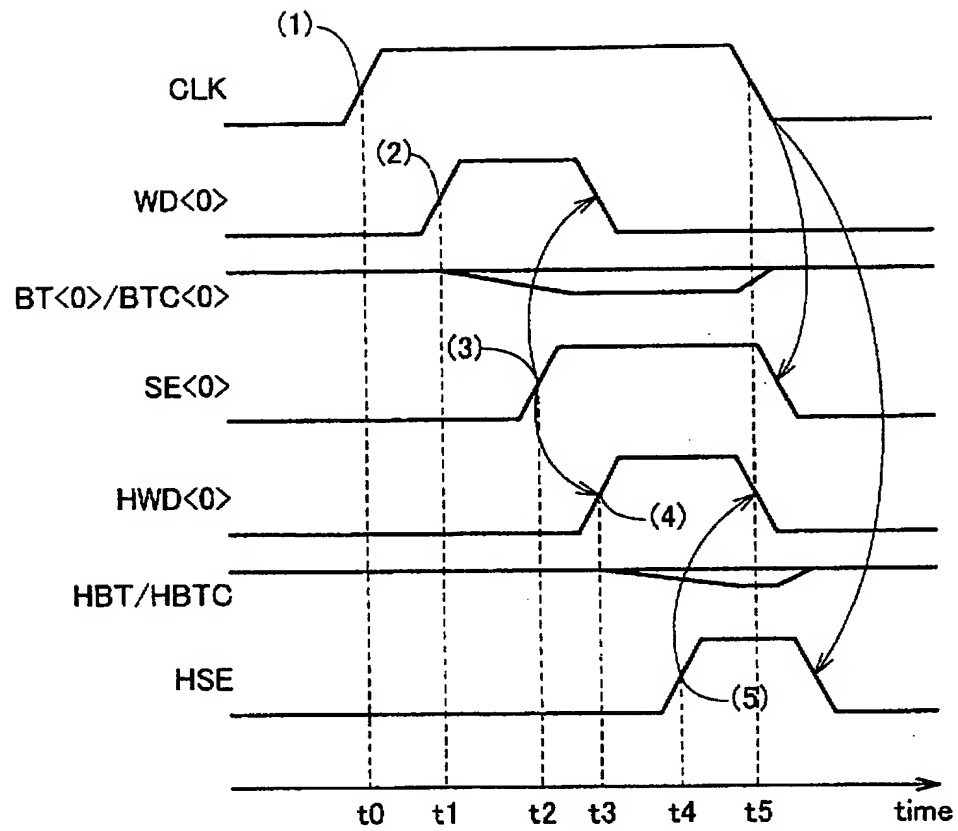
【圖 2】



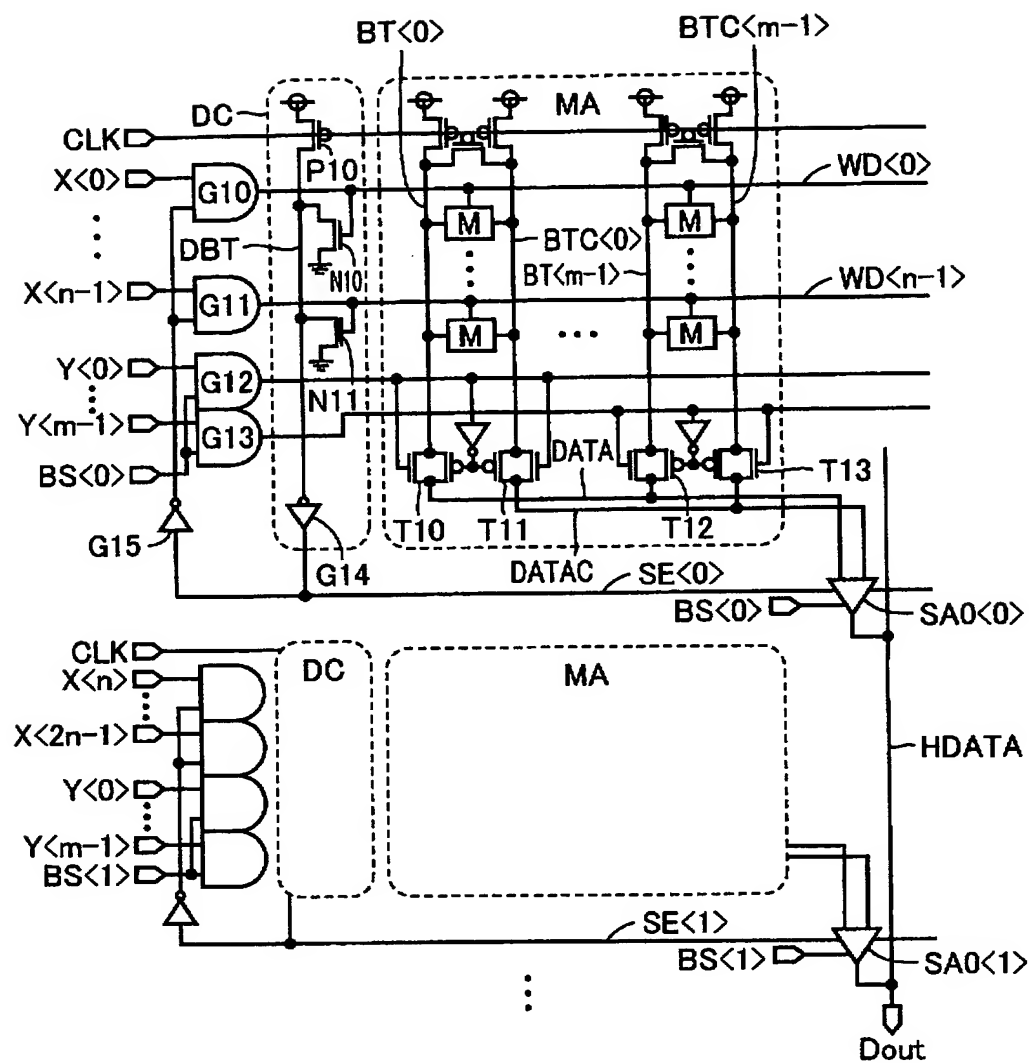
【図 3】



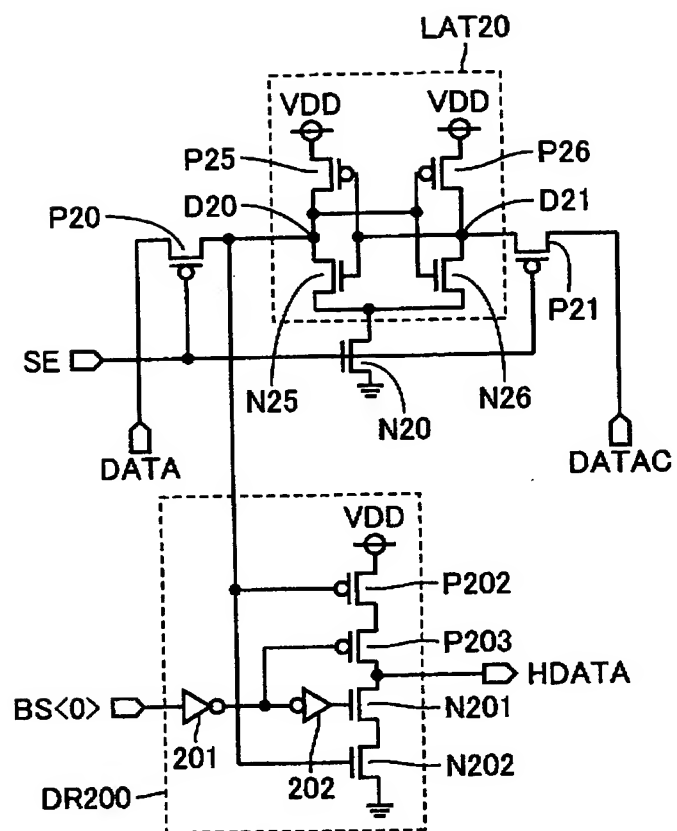
【図 4】



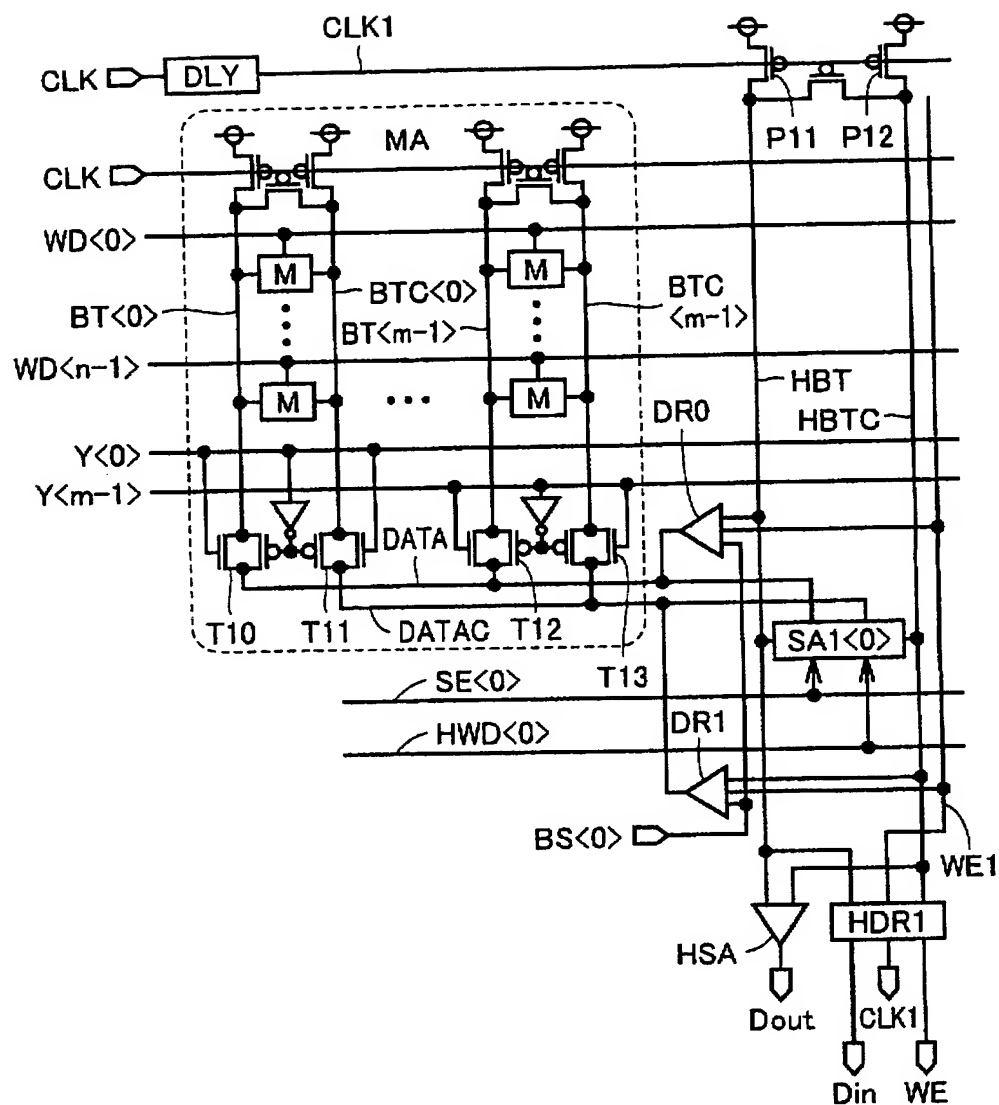
【図 5】



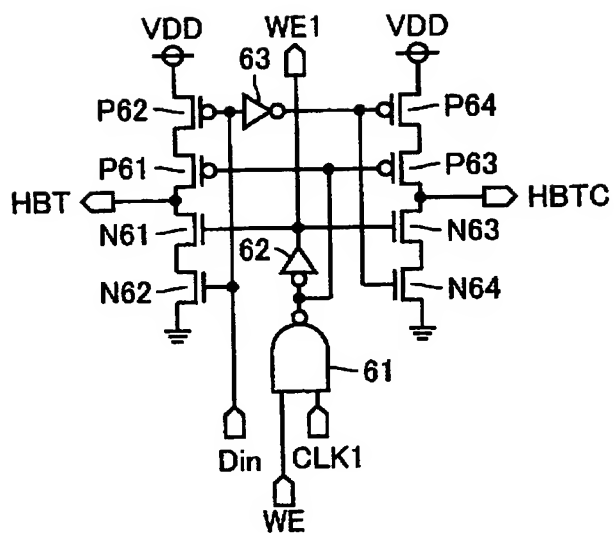
【図 6】



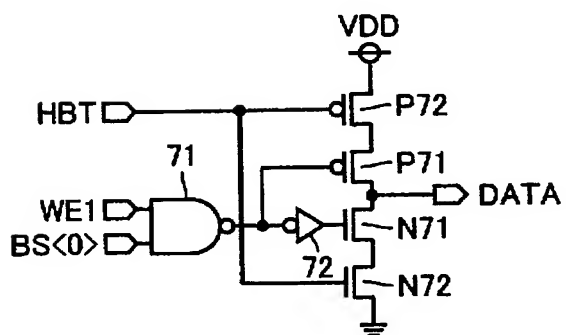
【図 7】



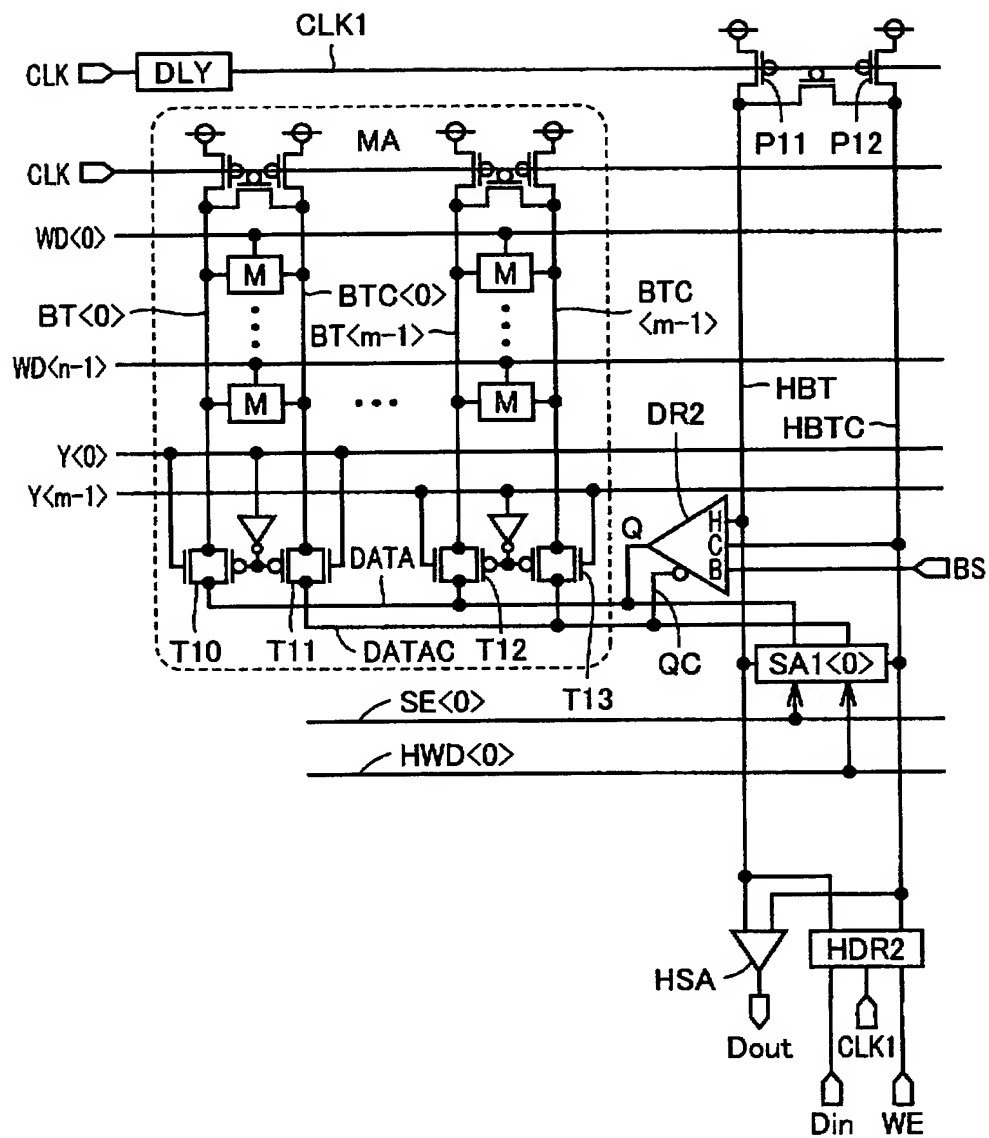
【图 8】



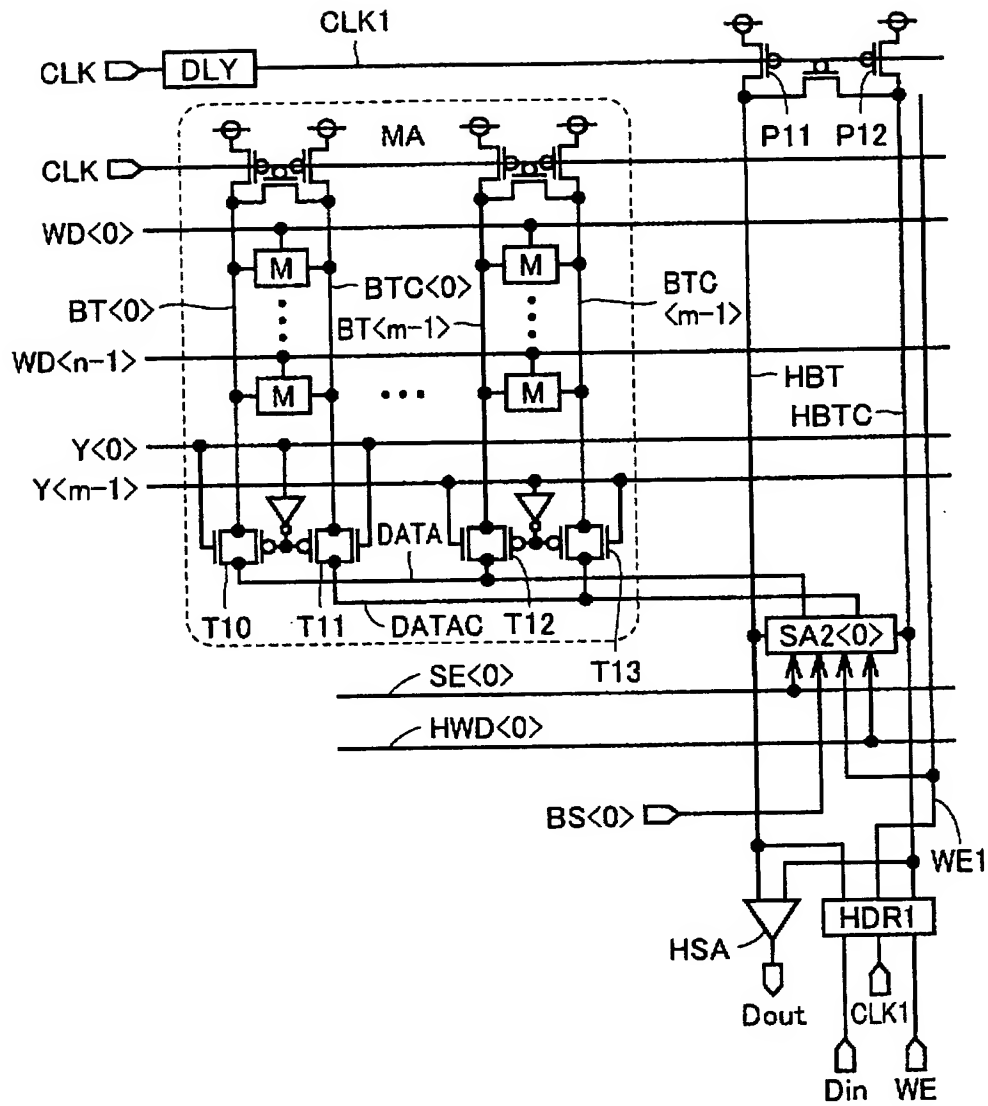
【図9】



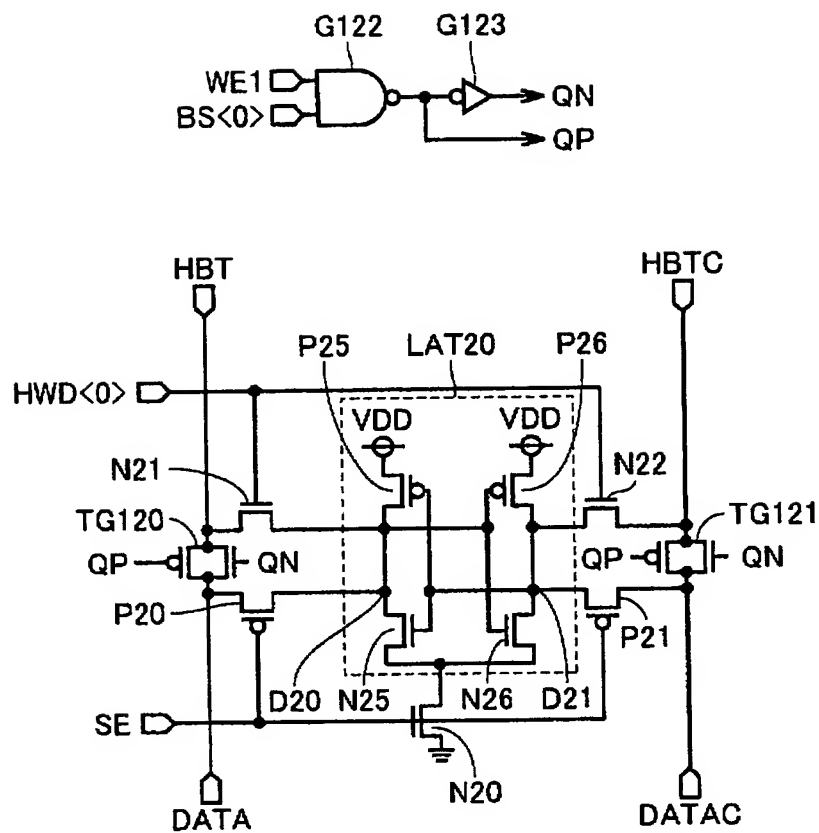
【図10】



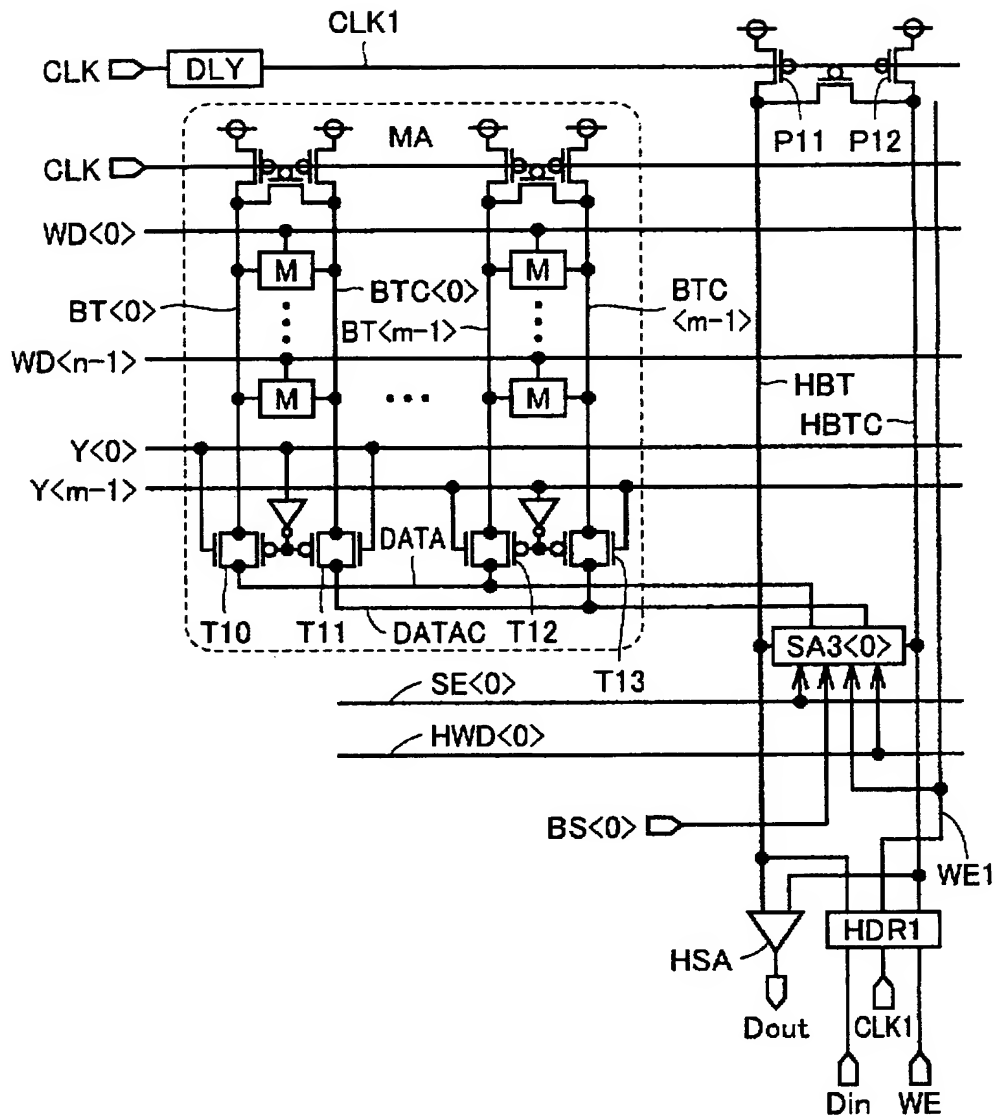
【図13】



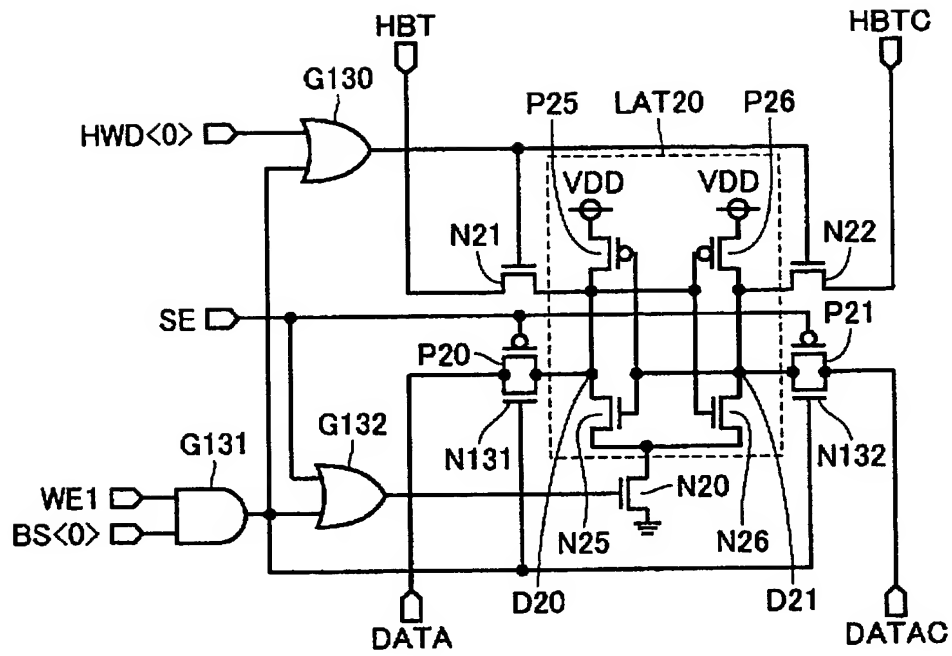
【圖 14】



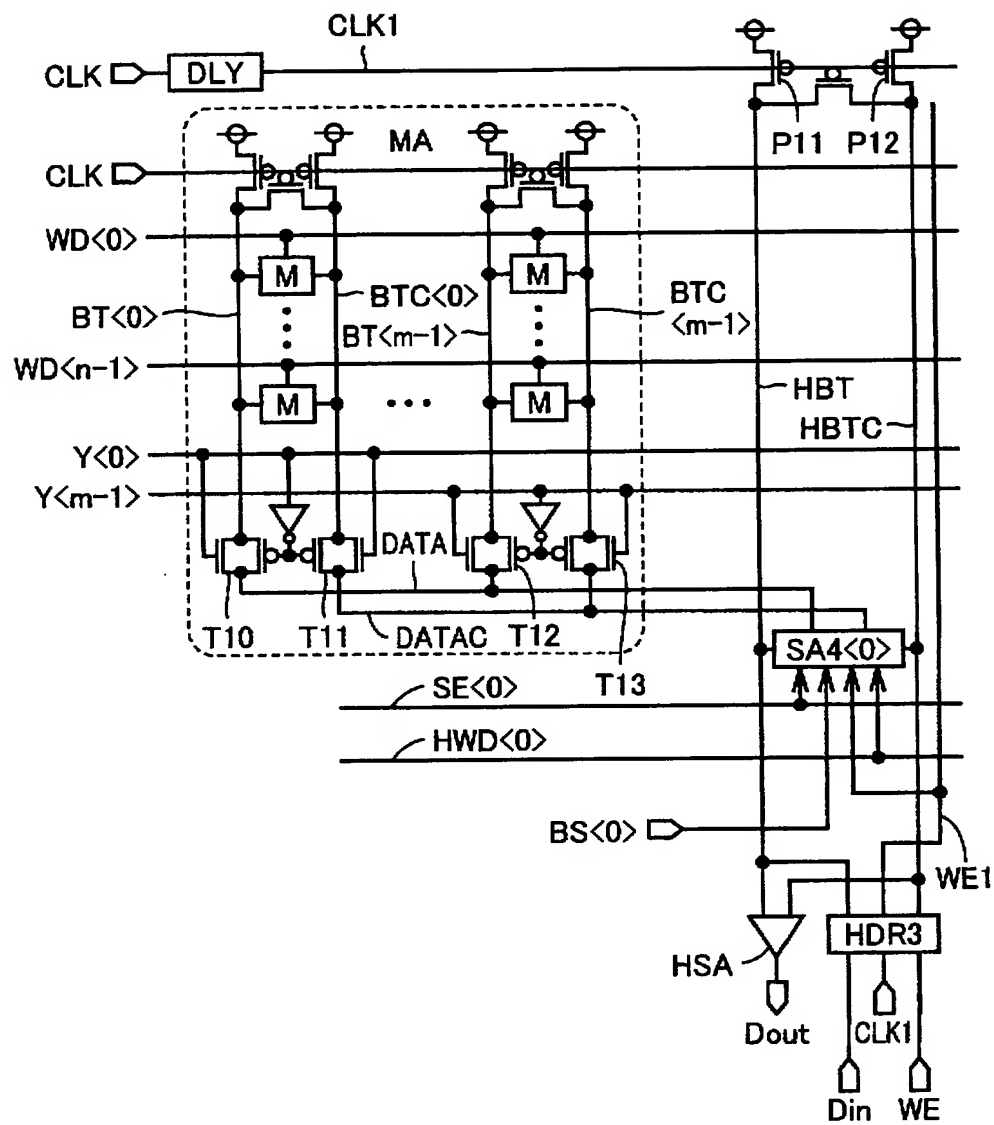
【図 15】



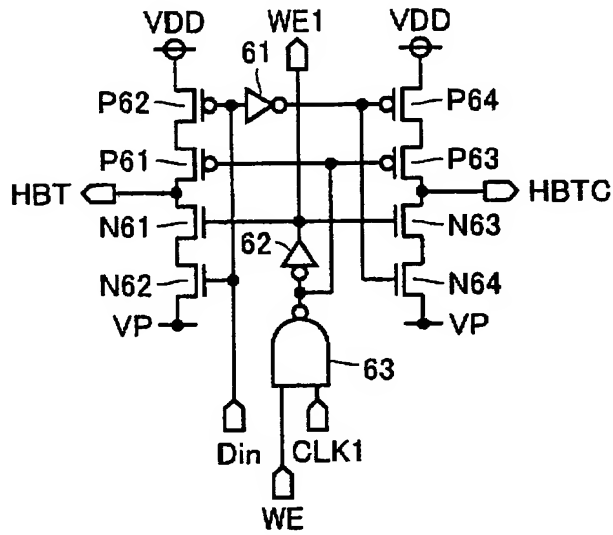
【図 1 6】



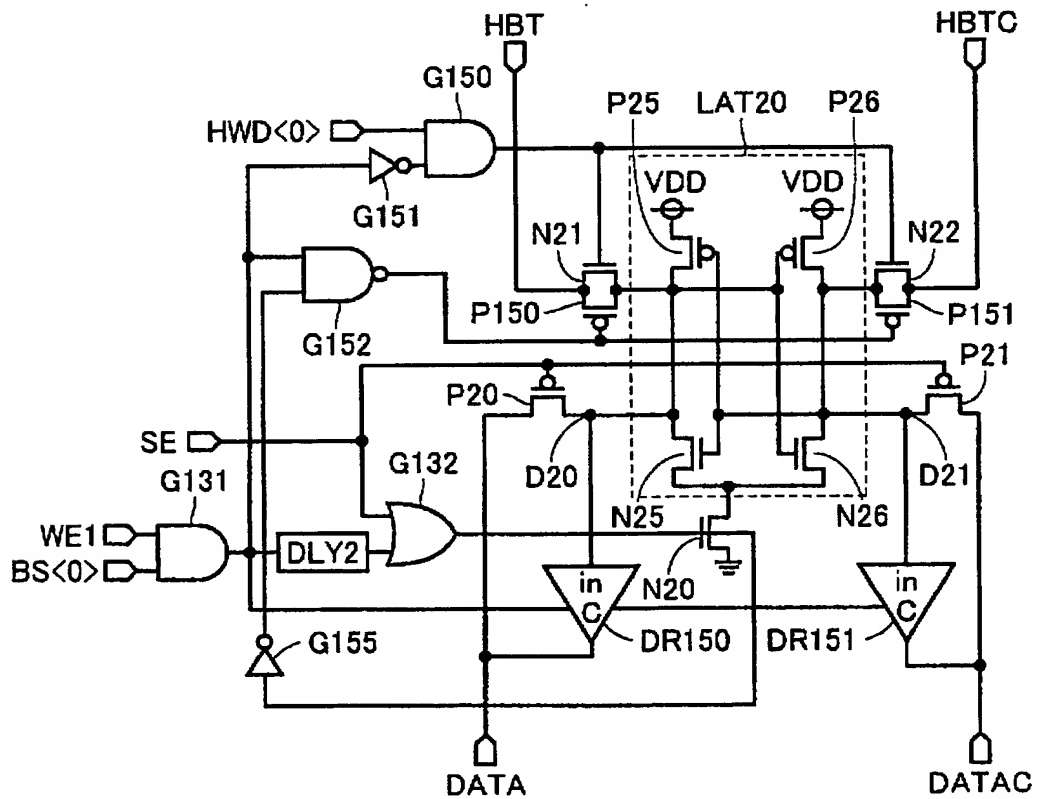
【図 17】



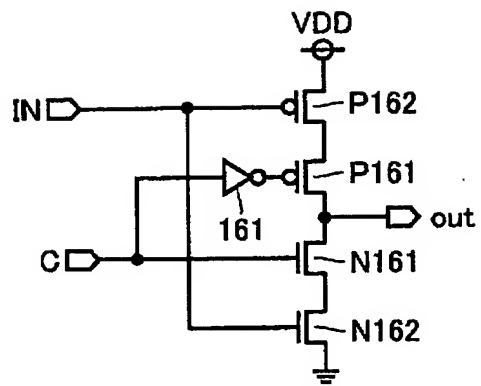
【図 18】



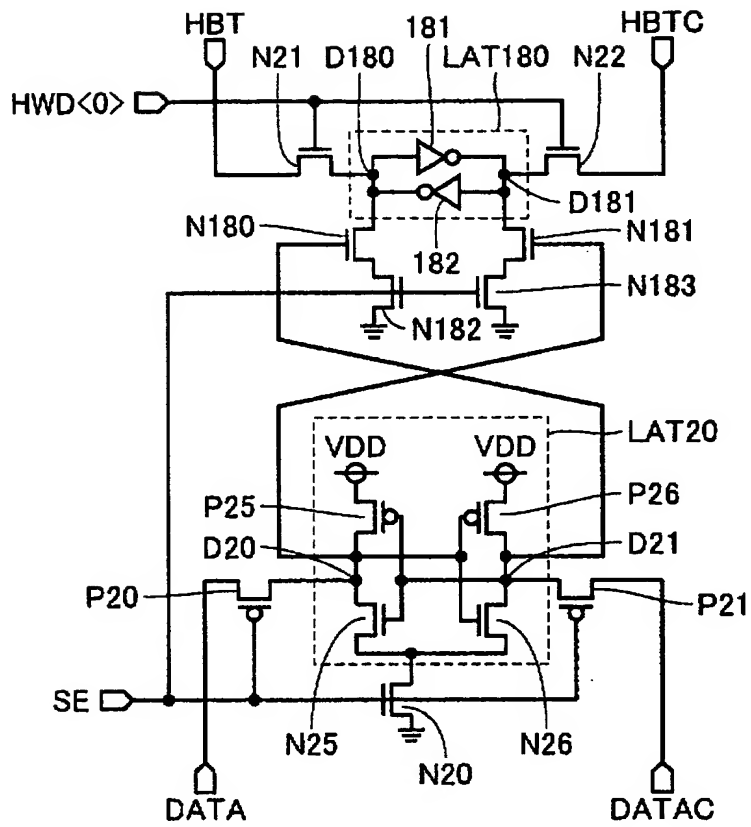
【図 19】



【図 2 0】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 グローバルビット線対において電位振幅をパーシャルスイングに制限した半導体記憶装置を提供することを目的とする。

【解決手段】 ローカルセンスアンプ $SA1<0>$ は、グローバルワード線 $HWD<0>$ が「H」レベルになると、データ保持ノード $D20$ 、 $D21$ の電位によってグローバルビット線対 HBT 、 $HBTC$ を駆動する。グローバルセンスアンプ HSA は、グローバルセンスイネーブル信号 HSE が「H」レベルになると、データ保持ノード $D30$ と $D31$ の電位差を増幅する。グローバルセンスイネーブル信号 HSE は、インバータ $G19$ により反転されて、グローバルワードドライバ $G16$ に送られる。グローバルワードドライバ $G16$ によって、グローバルワード線 $HWD<0>$ が「L」レベルとなると、ローカルセンスアンプ $SA1<0>$ は、グローバルビット線対 HBT 、 $HBTC$ の駆動を停止する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社